

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Iwao SUGIURA et al.**

Serial Number: **Not Yet Assigned**

Filed: **February 19, 2004**

Customer No.: 38834

For: **SEMICONDUCTOR DEVICE HAVING A PILLAR STRUCTURE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

February 19, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2003-047768, filed on February 25, 2003

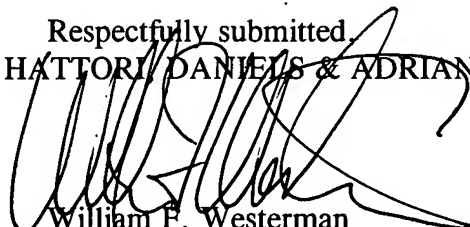
Japanese Appln. No. 2003-280004, filed on July 25, 2003

In support of these claims, the requisite certified copies of said original foreign applications are filed herewith.

It is requested that the file of these applications be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copies.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



William F. Westerman
Reg. No. 29,988

Atty. Docket No.: 042113
1250 Connecticut Ave, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
WFW/II

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: July 25, 2003

Application Number: No. 2003-280004
[ST.10/C]: [JP 2003-280004]

Applicant(s): FUJITSU LIMITED

October 28, 2003

Commissioner,
Patent Office

Yasuo Imai (Seal)

Certificate No. 2003-3089146

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 7 月 2 5 日
Date of Application:

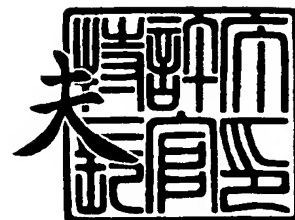
出 願 番 号 特 願 2 0 0 3 - 2 8 0 0 0 4
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 2 8 0 0 0 4]

出 願 人 富士通株式会社
Applicant(s):

2 0 0 3 年 1 0 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 9 1 4 6

【書類名】 特許願
【整理番号】 0340420
【提出日】 平成15年 7月25日
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 H01L 21/90
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
 内
 【氏名】 杉浦 巖
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
 内
 【氏名】 並木 崇久
【発明者】
 【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエ
 スアイ株式会社内
 【氏名】 松岡 由博
【特許出願人】
 【識別番号】 000005223
 【氏名又は名称】 富士通株式会社
【代理人】
 【識別番号】 100070150
 【住所又は居所】 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデンプレイス
 タワー 3 2 階
 【弁理士】
 【氏名又は名称】 伊東 忠彦
 【電話番号】 03-5424-2511
【先の出願に基づく優先権主張】
 【出願番号】 特願2003- 47768
 【出願日】 平成15年 2月25日
【手数料の表示】
 【予納台帳番号】 002989
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0114942

【書類名】 特許請求の範囲**【請求項 1】**

基板と、
前記基板上に形成された第 1 の多層配線構造と、
前記第 1 の多層配線構造上に形成された第 2 の多層配線構造とを備え、
前記第 1 の多層配線構造は第 1 の層間絶縁膜と前記第 1 の層間絶縁膜中に含まれる第 1 の配線層とを含み、
前記第 2 の多層配線構造は第 2 の層間絶縁膜と前記第 2 の層間絶縁膜中に含まれる第 2 の配線層とを含み、
前記第 1 の多層配線構造は、前記基板表面から少なくとも前記第 2 の多層配線構造に達する支柱を含み、
前記第 1 の配線層は、前記支柱を避けて形成されていることを特徴とする半導体装置。

【請求項 2】

前記支柱は、前記第 1 の多層配線構造中において前記第 1 の配線層と同一の層構造を有することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記支柱は、前記第 1 の多層配線構造中において前記第 1 の配線層とは異なる組成を有することを特徴とする請求項 1 記載の半導体装置。

【請求項 4】

前記支柱は、前記第 2 の多層配線構造の下面に係合する端部を有することを特徴とする請求項 1～3 のうち、いずれか一項記載の半導体装置。

【請求項 5】

前記第 2 の多層配線構造上には、電極パッドが形成されていることを特徴とする請求項 1～4 のうち、いずれか一項記載の半導体装置。

【請求項 6】

前記支柱は、前記基板のうち前記電極パッド直下の領域において複数個、全体として前記領域の少なくとも 15% の面積を占有するように形成されることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】

前記第 1 の層間絶縁膜は第 1 のヤング率を有し、前記第 2 の層間絶縁膜は前記第 1 のヤング率よりも大きな第 2 のヤング率を有することを特徴とする請求項 1～6 のうち、いずれか一項記載の半導体装置。

【請求項 8】

少なくとも 2 層以上の配線層を、ビア層を介して積層した多層配線構造において、
前記各々の配線層は層間絶縁膜と、前記層間絶縁膜中に形成された配線パターンとよりなり、
前記ビア層は層間絶縁膜と、前記層間絶縁膜中に形成されたビアプラグとよりなり、
前記ビアプラグは、前記ビア層上の配線層中の配線パターンと、前記ビア層下の配線層中の配線パターンとを接続し、
前記ビア層を構成する層間絶縁膜は、前記ビア層上下の配線層を構成する層間絶縁膜のいずれよりも小さな膜厚と大きな弾性率とを有することを特徴とする多層配線構造。

【請求項 9】

基板と、
前記基板上に形成された第 1 の多層配線構造と、
前記第 1 の多層配線構造上に形成された第 2 の多層配線構造とを含む半導体装置であって、
前記第 1 の多層配線構造は、少なくとも 2 層以上の配線層を、ビア層を介して積層してなり、
前記各々の配線層は層間絶縁膜と、前記層間絶縁膜中に形成された配線パターンとよりなり、

前記ビア層は層間絶縁膜と、前記層間絶縁膜中に形成されたビアプラグとよりなり、
前記ビアプラグは、前記ビア層上の配線層中の配線パターンと、前記ビア層下の配線層中の配線パターンとを接続し、

前記ビア層を構成する層間絶縁膜は、前記ビア層上下の配線層を構成する層間絶縁膜のいずれよりも小さな膜厚と大きな弾性率とを有し、

前記第1の層間絶縁膜中において前記各配線層中の配線パターンおよび各ビア層中のビアプラグは、前記基板表面から前記第1の多層配線構造を貫通して連続的に延在し、少なくとも前記第2の多層配線構造に至る支柱を形成することを特徴とする半導体装置。

【請求項10】

基板と、

前記基板上に形成された多層配線構造とよりなり、

前記多層配線構造中には複数の支柱が、前記基板表面に達するように形成されており、

前記多層配線構造中には、前記複数の支柱の間に、対角線状に、補強構造が形成されていることを特徴とする半導体装置。

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明は一般に半導体装置の係り、特に多層配線構造を有する半導体装置に関する。

【0002】

従来より、半導体装置を微細化することにより、スケーリング則に沿った動作速度の高速化が図られている。一方、最近の高密度半導体集積回路装置では、個々の半導体装置間を配線するのに一般に多層配線構造が使用されるが、かかる多層配線構造では、半導体装置が非常に微細化された場合、多層配線構造中の配線パターンが近接し、配線パターン間の寄生容量による配線遅延の問題が生じる。

【0003】

そこで、従来より、前記多層配線構造中における配線遅延の問題を解決すべく、多層配線構造中で層間絶縁膜を構成する絶縁膜に、従来より使われている SiO_2 系の絶縁膜の代わりに炭化水素系あるいはフルオロカーボン系の有機絶縁膜に代表される低誘電率膜（いわゆる low-K 膜）を使い、また配線パターンに、従来より使われている Al の代わりに低抵抗の銅（ Cu ）を使うことが研究されている。かかる有機絶縁膜は誘電率が一般に 2.3～2.5 であるが、この値は従来の SiO_2 層間絶縁膜より 40～50% も低い。

【0004】

低誘電率膜は一般に密度が小さく、このため配線パターンとの密着性や、耐湿性などに課題が残っている。このため現在では、超微細化配線パターンが形成され配線遅延の問題が深刻になる多層配線構造下層部に低誘電率膜と Cu 配線パターンを使い、配線パターン間隔が比較的疎な多層配線構造上層部には、密着性に優れた従来の SiO_2 層間絶縁膜を使う構成が使われることが多い。

【背景技術】

【0005】

図1は、従来の典型的な多層配線構造を有する半導体装置10の構成を示す。

【0006】

図1を参照するに、半導体装置10は Si 基板11中に素子分離構造11Bにより画成された素子領域11A上に形成されており、前記 Si 基板11上に形成されたゲート絶縁膜12を介して形成されたゲート電極13と、前記ゲート電極13の両側に形成された一対の拡散領域11a、11bとを含む。

【0007】

前記ゲート電極13は側壁面が側壁絶縁膜13a、13bにより覆われ、さらに前記 Si 基板11上には、典型的にはダウケミカル社から登録商標名 SiLK として市販されている低誘電率有機層間絶縁膜14が、前記ゲート電極13および側壁絶縁膜13a、13bを覆うように形成される。

【0008】

前記層間絶縁膜14上には同様な低誘電率有機層間絶縁膜15が形成され、前記層間絶縁膜15中には Cu 配線パターン15A、15Bが形成される。前記 Cu 配線パターン15A、15Bの各々は前記層間絶縁膜14中に形成されたコンタクトプラグ14P、14Qを介して前記拡散領域11a、11bに電氣的に接続される。

【0009】

前記 Cu 配線パターン15A、15Bは前記層間絶縁膜15上に形成された別の低誘電率有機層間絶縁膜16により覆われ、さらに前記層間絶縁膜16上にはさらに別の低誘電率有機層間絶縁膜17が形成されている。

【0010】

図示の例では前記層間絶縁膜16中には Cu 配線パターン16A-16Cが、また前記

層間絶縁膜 17 中には Cu 配線パターン 17 A, 17 B が埋設されており、前記配線パターン 16 A, 16 C は配線パターン 15 A, 15 B にそれぞれビアプラグ 16 P, 16 Q を介して接続され、また前記配線パターン 17 A, 17 B は前記配線パターン 16 A, 16 C にビアプラグ 17 P, 17 Q を介して接続されている。

【0011】

さらに図示の例では前記層間絶縁膜 17 上に SiOC 層間絶縁膜 18, 19, 20 が順次積層されており、前記層間絶縁膜 18 中には Cu あるいは Al よりなる配線パターン 18 A が、前記層間絶縁膜 19 中には Cu あるいは Al よりなる配線パターン 19 A が、また前記層間絶縁膜 20 中には Cu あるいは Al よりなる配線パターン 20 A が埋設されている。

【0012】

前記配線パターン 18 A, 19 A, 20 A は図示を省略したビアプラグにより相互に電氣的に接続されており、また前記配線パターン 18 A は図示を省略したビアプラグにより前記配線パターン 17 A, 17 B のいずれかに接続されている。

【0013】

図 1 の構造ではさらに前記層間絶縁膜 20 上に SiOC 膜 21 が形成されており、さらに前記 SiOC 膜 21 上に、前記図示した素子領域あるいは多層配線領域を避けて、図示していないコンタクトパッドが形成されている。前記コンタクトパッド上にはワイヤボンディングプロセスにより、ボンディングワイヤが接続される。

【0014】

図示の例では Cu 配線パターン 15 A, 14 B, 16 A-16 C, 17 A, 17 B などは CMP 工程を使ったダマシン法あるいはデュアルダマシン法で形成されるため、層間絶縁膜 15~17 は平坦な主面を有することを特徴とする。

【0015】

【特許文献 1】特開 2000-150521 号公報

【特許文献 2】特開 2001-53148 号公報

【発明の開示】

【発明が解決しようとする課題】

【0016】

図 1 の半導体装置 10 はこのように低誘電率層間絶縁膜と低抵抗 Cu 配線パターンとを組み合わせるため配線遅延が少なく、高速動作を行うことが可能であるが、本発明の発明者は、図 1 の構造において特に 0.1 μ m 設計ルール前後の非常に厳しい微細化を行った場合、ワイヤボンディングプロセスに伴って多層配線構造内において接触不良あるいは断線が生じることがあるのを見出した。

【0017】

図 2 は、図 3 に示すように Si 基板 31 上に厚さが 2 μ m の低誘電率下層膜 (SiLK) 32 と厚さが 4 μ m の SiOC 中間層膜 33 を積層し、さらにその上に厚さが 4 μ m の SiO₂ 上層膜 34 を積層した構造に対して 0.01 GPa の応力を印加した場合の、得られた積層構造中における応力分布を示す。ただし図 2 は、本発明の発明者が本発明の基礎となる研究において求めたもので、低誘電率下層膜 32 の弾性率、すなわちヤング率の値を 2.5 GPa、中間層膜 33 のヤング率の値を 20 GPa、上層膜のヤング率の値を 70 GPa として計算を行っている。

【0018】

図 2 を参照するに、縦軸に示す応力値は下方への印加応力を負の応力値と定義して示してあるが、このように弾性率の小さい低誘電率有機絶縁膜とより弾性率の高い無機絶縁膜とを積層した構造においては、上層膜 34 および中間層膜 33 には実質的な応力の集中はなく、低誘電率膜 32 中に応力が集中することがわかる。

【0019】

このような低誘電率層間絶縁膜中への応力の集中の結果、図 3 に示すように低誘電率下層膜 32 中の Cu パターン 32 A は変形し、特に膜中の応力が Cu パターンの破壊靱性値

を超えると塑性変形を生じてしまう。この場合、印加応力が解除されると低誘電率膜 32 は緩やかに元の状態に戻るが、Cu パターン 32A は当初の状態に復元せず、その結果、配線パターンの間に隙間 32X などの欠陥が生じてしまう。

【0020】

一般に CVD-SiO₂ 膜などの無機絶縁膜は 60~70 GPa 程度の大きなヤング率を有しているのに対し、有機系の低誘電率膜は膜密度が低いため、数 GPa 程度のヤング率しか有していない。例えば前記登録商標名 SiLK で広く使われている芳香族炭化水素膜は 2.5 GPa 程度のヤング率しか有していない。またプラズマ CVD 法で形成される SiOC 膜でも、3.0 以下の比誘電率を有し低誘電率層間絶縁膜として使われる膜、例えば Novellus 社から登録商標名 Coral で市販されている低誘電率プラズマ CVD-SiOC 膜、あるいは Applied Materials 社から登録商標名 Black Diamond で市販されている低誘電率プラズマ CVD-SiOC 膜、あるいは ASM 社から登録商標名 Aurora で市販されている低誘電率プラズマ CVD-SiOC 膜なども、20 GPa 以下のヤング率しか有していない。これに対し、ワイヤボンディング工程では 0.1~0.2 GPa の応力が半導体装置に印加される。

【0021】

このような外部応力による多層配線構造あるいは活性素子の破損の問題は、図 1 の従来の構成のように、素子領域 11A あるいはその上の多層配線構造を、ワイヤボンディングが行われる電極パッド直下の領域を避けて形成することで回避することが一応可能ではある。しかし、最近の一辺の長さが 100 μm を切るような超小型半導体集積回路チップ、例えば一辺の長さが 25 μm の超小型半導体集積回路チップの場合、あるいはチップ全面にわたり活性素子が形成される高機能半導体集積回路チップの場合、図 4 に示すように素子領域 11A あるいはその上の多層配線構造の直上に電極パッド 22 を形成せざるを得ない状況が生じつつある。このような場合には、図 2 および図 3 で説明したワイヤボンディング工程に伴う応力による多層配線構造の変形および断線は深刻な問題となる。

【0022】

またこのような低誘電率層間絶縁膜への応力集中による多層配線構造の変形および断線の問題は、多数の半導体集積回路装置が形成されたウェハをダイシングする際においても生じる可能性がある。すなわちこの場合には、ダイシングソーの応力が上層の大きな弾性率を有する多層配線構造を介して低誘電率層間絶縁膜を有する多層配線構造に作用する。

【0023】

そこで本発明上記の課題を解決した、新規で有用な半導体装置を提供することを概括的課題とする。

【0024】

本発明のより具体的な課題は、低誘電率層間絶縁膜を含む多層配線構造を有する半導体装置において、低誘電率層間絶縁膜への応力集中を抑制できる素子構造を提供することにある。

【課題を解決するための手段】

【0025】

本発明は上記の課題を、基板と、前記基板上に形成された第 1 の多層配線構造と、前記第 1 の多層配線構造上に形成された第 2 の多層配線構造とを備え、前記第 1 の多層配線構造は第 1 の層間絶縁膜と前記第 1 の層間絶縁膜中に含まれる第 1 の配線層とを含み、前記第 2 の多層配線構造は第 2 の層間絶縁膜と前記第 2 の層間絶縁膜中に含まれる第 2 の配線層とを含み、前記第 1 の多層配線構造は、前記基板表面から少なくとも前記第 2 の多層配線構造に達する支柱を含み、前記第 1 の配線層は、前記支柱を避けて形成されていることを特徴とする半導体装置により、解決する。本発明によれば、比誘電率が典型的には 3.0 以下でヤング率が 30 GPa 以下の低誘電率層間絶縁膜を使った第 1 の多層配線構造と、比誘電率が 3.0 以上でヤング率が 30 GPa 以上の層間絶縁膜を使った第 2 の多層配線構造とを基板上において積層した構造の半導体装置において、ワイヤボンディングなど

の際における前記第1の多層配線構造中の微細な配線パターンへの応力の印加が、少なくとも前記第1の多層配線構造中に支柱を形成することにより抑制される。これに伴い、多層配線構造中の微細な配線パターンの変形や断線が回避される。

【0026】

本発明はまた上記の課題を、少なくとも2層以上の配線層を、ビア層を介して積層した多層配線構造において、前記各々の配線層は層間絶縁膜と、前記層間絶縁膜中に形成された配線パターンとよりなり、前記ビア層は層間絶縁膜と、前記層間絶縁膜中に形成されたビアプラグとよりなり、前記ビアプラグは、前記ビア層上の配線層中の配線パターンと、前記ビア層下の配線層中の配線パターンとを接続し、前記ビア層を構成する層間絶縁膜は、前記ビア層上下の配線層を構成する層間絶縁膜のいずれよりも小さな膜厚と大きな弾性率とを有することを特徴とする多層配線構造により、あるいはかかる多層配線構造を有する半導体装置により、解決する。本発明によれば、低誘電率層間絶縁膜を使った多層配線構造において、ビア層に前記低誘電率層間絶縁膜よりも大きな弾性率を有する絶縁膜を、前記低誘電率層間絶縁膜よりも小さな膜厚で形成することにより、多層配線構造における配線層への応力の集中を回避することが可能になる。

【0027】

本発明はまた上記の課題を、基板と、前記基板上に形成された多層配線構造とよりなり、前記多層配線構造中には複数の支柱が、前記基板表面に達するように形成されており、前記多層配線構造中には、前記複数の支柱の間に、対角線状に、補強構造が形成されていることを特徴とする半導体装置により、解決する。本発明によれば、基板上に形成される低誘電率多層配線構造中に、前記基板表面に到達するように複数の支柱を形成し、さらに前記複数の支柱の間に対角線状に補強構造を形成することにより、半導体装置の外部応力に対する耐性を向上させることが可能になる。

【発明の効果】

【0028】

本発明によれば、比誘電率が典型的には3.0以下でヤング率が30GPa以下の低誘電率層間絶縁膜を使った第1の多層配線構造と、比誘電率が3.0以上でヤング率が30GPa以上の層間絶縁膜を使った第2の多層配線構造とを基板上において積層した構造の半導体装置において、ワイヤボンディングなどの際における前記第1の多層配線構造中の微細な配線パターンへの応力の印加が、少なくとも前記第1の多層配線構造中に支柱を形成することにより抑制される。これに伴い、多層配線構造中の微細な配線パターンの変形や断線が回避される。

【0029】

さらに本発明によれば、低誘電率層間絶縁膜を使った多層配線構造において、ビア層に前記低誘電率層間絶縁膜よりも大きな弾性率を有する絶縁膜を、前記低誘電率層間絶縁膜よりも小さな膜厚で形成することにより、多層配線構造における配線層への応力の集中を回避することが可能になる。

【0030】

さらに本発明によれば、基板上に形成される低誘電率多層配線構造中に、前記基板表面に到達するように複数の支柱を形成し、さらに前記複数の支柱の間に対角線状に補強構造を形成することにより、半導体装置の外部応力に対する耐性を向上させることが可能になる。

【発明を実施するための最良の形態】

【0031】

〔第1実施例〕

図5は、本発明の第1実施例による半導体集積回路装置100の構成を示す。

【0032】

図5を参照するに半導体集積回路装置100はSTIなどの素子分離構造101Cによ

り素子領域101A, 101Bを画成されたSi基板101上に形成されており、前記素子領域101AにおいてはSi基板101上にゲート絶縁膜を介して一对の側壁絶縁膜を有するゲート電極102Aが形成されており、前記Si基板101中には前記ゲート電極102Aの両側に拡散領域101a, 101bが形成されている。同様に前記素子領域101BにおいてはSi基板101上にゲート絶縁膜を介して一对の側壁絶縁膜を有するゲート電極102Bが形成されており、前記Si基板101中には前記ゲート電極102Bの両側に拡散領域101c, 101dが形成されている。

【0033】

前記ゲート電極102A, 102Bは前記Si基板101上に形成されたSiLKなど、典型的には比誘電率が3.0を切る低誘電率層間絶縁膜103により覆われており、前記層間絶縁膜103上にはCu配線パターン104A, 104B, 104Cおよび104Dを含む同様な低誘電率層間絶縁膜104が形成されている。図1の例と同様に、前記Cu配線パターン104A, 104B, 104C, 104Dはそれぞれのコンタクトホール104a, 104b, 104c, 104dを介して対応する拡散領域101a, 101b, 101c, 101dに電氣的に接続されている。

【0034】

前記低誘電率層間絶縁膜104上には同様な低誘電率層間絶縁膜105, 106, 107が順次積層されており、前記低誘電率層間絶縁膜105中にはCu配線パターン105A~105Dが、前記低誘電率層間絶縁膜106中にはCu配線パターン106A~106Dが、さらに前記低誘電率層間絶縁膜107中にはCu配線パターン107A~107Dが、順次形成されている。これらの配線パターンは、図示を省略したビアプラグにより、所望の回路パターンに従って相互に接続されている。

【0035】

先にも説明したように、前記低誘電率層間絶縁膜103~107としてSiLKを使った場合には、これらの層間絶縁膜のヤング率は2.5GPa程度にしかない。

【0036】

さらに図5の構造では前記層間絶縁膜107上にプラズマCVD法により、SiO₂膜あるいはSiOC膜よりなる層間絶縁膜108および109が順次堆積され、前記層間絶縁膜108中にはCuあるいはAl合金よりなる配線パターン108A~108Dが形成されている。また前記層間絶縁膜109中には同様な配線パターン109A~109Dが形成されている。これらの配線パターンは、所望の回路パターンに従って相互に接続されている。

【0037】

図5の構造ではさらに前記層間絶縁膜109上にプラズマCVD法により形成されたSiOC膜あるいはSiO₂膜よりなる絶縁膜110が形成され、前記SiOC膜110上にはワイヤボンディングのためのコンタクトパッド111が形成されている。図示の例では、前記コンタクトパッドは前記パッシベーション膜110中のコンタクトプラグ110Vを介して配線パターン109Bに接続されている。図5の構造において前記層間絶縁膜108~110は、60~70GPaのヤング率を有する。

【0038】

図5の半導体集積回路装置100では、さらに前記素子分離構造101C上に、前記素子分離構造101Cからコンタクトパッド111まで連続して、一直線上を延在する支柱P100が形成されている。

【0039】

本実施例において前記支柱P100は、各層間絶縁膜中において、層間絶縁膜中に形成される配線パターンおよびビアプラグと同時に形成され、従って支柱Pは各層間絶縁膜中において、層間絶縁膜中の配線パターンおよびビアプラグと同じ層構造を有している。

【0040】

すなわち前記層間絶縁膜103および104中において支柱P100は配線パターン104A~104Dと同一レベルに形成されたCuパターン104Pとビアプラグ104a

～104dと同一レベルに形成されたCuプラグ104pとよりなり、前記層間絶縁膜105中においては配線パターン105A～105Dと同一レベルに形成されたCuパターン105Pとビアプラグ105a～105dと同一レベルに形成されたCuプラグ105pとよりなる。さらに前記支柱P100は前記層間絶縁膜106中においては配線パターン106A～106Dと同一レベルに形成されたCuパターン106Pとビアプラグ106a～106dと同一レベルに形成されたCuプラグ106pとよりなり、前記層間絶縁膜107中においては配線パターン107A～107Dと同一レベルに形成されたCuパターン107Pとビアプラグ107a～107dと同一レベルに形成されたCuプラグ107pとよりなる。また前記支柱P100は前記層間絶縁膜108中においては配線パターン108A～108Dと同一レベルに形成されたCuパターン108Pとビアプラグ108a～108dと同一レベルに形成されたCuプラグ108pとよりなり、前記層間絶縁膜109中においては配線パターン109A～109Dと同一レベルに形成されたCuパターン109Pとビアプラグ109a～109dと同一レベルに形成されたCuプラグ109pとよりなる。

【0041】

さらに図5の構造では前記支柱P100は、前記パッシベーション膜110中に形成されたプラグ110Pにより、前記コンタクトパッド111の下面に係合している。

【0042】

このように前記支柱P100を構成する部材104P～110Pおよび104p～109pは先にも説明したように一直線上に配列されており、前記コンタクトパッド111にワイヤボンディングの際に応力が印加された場合、支柱P100はこの応力を効果的に支えることが可能である。

【0043】

図6は、先に説明した図3のモデルにおいて、図5と同様な支柱を、 $0.14 \times 0.14 \mu\text{m}$ のサイズで設けた場合の、構造中に生じる応力分布を示す。ただし図6中、先に図2で説明した、支柱を設けない場合の応力分布を曲線Aで、支柱を設けた場合の応力分布を曲線Bで示してある。

【0044】

図6を参照するに、曲線Aに示される低誘電率膜中における応力の集中が、支柱を設けることにより効果的に回避されているのがわかる。

【0045】

図7(A)～図8(E)は、図5の半導体集積回路装置100の製造工程の一部を示す図である。

【0046】

図7(A)を参照するに、図5で説明した低誘電率層間絶縁膜104中にはCu配線パターン104CおよびCuビアプラグ104cの他に、前記支柱Pの一部を構成するCu支柱パターン104PおよびCu支柱プラグ104pが形成されており、前記層間絶縁膜104上には次の層間絶縁膜105が、典型的にはSiCよりなるバリア膜105Sを介して形成されている。なお前記層間絶縁膜104中においてCu配線パターン104CおよびCuビアプラグ104c、およびCu支柱パターン104PおよびCu支柱プラグ104pは、典型的にはTa₂Nなどの導電性窒化物よりなるバリアメタル膜104BMにより、層間絶縁膜104との界面が覆われている。

【0047】

次に図7(B)の工程において前記SiC膜105Tをレジストプロセスによりパターンニングして前記支柱Pに対応した開口部を形成し、さらに前記層間絶縁膜105を前記SiC膜105Tをハードマスクにパターンニングすることにより、前記層間絶縁膜105中にはCu支柱パターン104Pを露出するビアホール105Vが形成される。

【0048】

さらに図7(C)の工程において前記SiC膜105Tをさらなるレジストプロセスによりパターンニングし、次の配線パターン105Cおよび次の支柱パターン105Pにそれ

それぞれ対応した開口部を形成し、さらにこのようにパターニングされたSiC膜105Tをマスクに前記層間絶縁膜105をパターニングすることにより、前記層間絶縁膜105中には前記Cu配線パターン105Cに対応した配線溝105GCと、前記Cu支柱パターン105Pに対応した溝105GPとが同時に形成される。

【0049】

さらに図8(D)の工程で図7(C)の構造上にTa₂N₅などよりなるバリアメタル膜105BMを形成し、さらにその上にスパッタによりCuシード層105Sdを形成する。

【0050】

さらに図8(E)の工程において前記Cuシード層105Sdを電極にCu層の電解めっきを行ない、前記層間絶縁膜105上の余分のCu層を前記シード層105Sd、バリアメタル膜105BMおよびハードマスク層105T共々、CMP法により研磨・除去することにより、前記配線溝105GCを充填するCu配線パターン105Cと、前記溝105GPおよび前記ビアホール105Vを充填する支柱パターン105Pおよび支柱プラグ105pが前記層間絶縁膜105中に形成される。このようにして形成された支柱プラグ105pは下層の支柱パターン104Pに係合し、従って、このような工程を繰り返すことにより、基板101からコンタクトパッド111まで連続して延在する支柱P100が形成される。

【0051】

さらに本発明の発明者は、図9に示す、一辺の長さが0.7μmの多数の孤立Cuパターンを0.4μm間隔でマトリクス状に配列したモデル多層配線構造について、支柱Pの密度を様々に変化させ、配線パターンに印加される応力を評価するシミュレーションを行った。

【0052】

その結果、特定の層構造で比較した場合、配線層に印加される応力は全てのCuパターンが支柱である場合にゼロになるのは当然として、支柱Pが4%の面積比で形成されている場合、0.88GPa、16%の面積比で形成されている場合0.79GPa、48%の面積比で形成されている場合0.74GPaとなり、支柱Pを約15%以上の面積比で形成しておけば、図5の層間絶縁膜103～107中に形成されるCu配線パターンに印加される応力を所望のレベル、今のモデルでは0.8GPa以下に抑制できることが見出された。

【0053】

本実施例では支柱P100は、コンタクトパッド111直下に、可能な限り多数、一様な密度で形成するのが好ましい。

【0054】

なお本実施例では前記低誘電率層間絶縁膜103～107として、SiLKの他にSiOC膜、Novellus Systems社より登録商標名Coralで市販されている低誘電率CVD-SiOC膜、あるいはApplied Materials社よりBlack Diamondの登録商標名で市販されている低誘電率CVD-SiOC膜、さらには低誘電率FSG膜（いわゆるlow FSG膜）、MSQ膜、HSQ膜、FSQ膜などを使うことも可能である。これらには、ダウコーニングシリコン社より市販のHSQ塗付膜、旭化成（株）より登録商標名ALCAP-Eとして市販の全芳香族アリアルエーテル塗付膜、ハネウエル社より登録商標名FLAREで市販のアリアルエーテル塗付膜、ダウケミカル社より登録商標名SiLKで市販のアリアルエーテル塗付膜、ダウケミカル社より市販のベンゾシクロブテン（BCB）塗付膜、ダウケミカル社より市販のベンゾシクロブテン（BCB）CVD膜、アプライドマテリアル社より登録商標名Black Diamondで市販の無機あるいは有機SiOCH-CVD膜、富士通（株）およびトリケミカル社より市販のFSQ（フッ素含有水素シルセスキオキサン）塗付膜、JSR社より登録商標名LKD-T200で市販の無機あるいは有機メチルシルセスキオキサン（MSQ）塗付膜、前記Novellus Systems社より登録商標名Coralで市販の無機あるいは有機SiOCH-CVD膜、ASM社より登録商標Auro-raで市販の無機あるいは有機SiOCH-CVD膜、ハネウエル社より登録商標名HOS

Pとして市販の無機あるいは有機MSQ塗付膜、ダウコーニングシリコン社よりポラスHSQとして市販の無機ポラス化HSQ塗付膜、住友化学（株）より登録商標名ALS-400として市販の有機ポラス化アリアルエーテル塗付膜、触媒化成（株）より登録商標名IPSとして市販の無機あるいは有機SiH系ポラス塗布膜、ハネウエル社より登録商標名Nanoglass-Eとして市販の無機あるいは有機SiOCH塗布膜、JSR社より登録商標名LKD-T400として市販の無機あるいは有機ポラス化MSQ塗布膜、旭化成（株）より登録商標名ALCAP-Sとして市販の無機ポラスシリカ塗布膜、ダウケミカル社よりポラスSiLKとして市販の有機ポラス化アリアルエーテル塗布膜、ハネウエル社よりポラス化FLAREとして市販の有機ポラス化アリアルエーテル塗付膜、神戸製鋼所よりsilica aerogelとして市販の無機高圧乾燥ポラスシリカ膜などの、比誘電率が3.0以下の膜が含まれる。

[第2実施例]

図10は、本発明の第2実施例による半導体集積回路装置200の構成を示す。ただし図10中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0055】

図10を参照するに、半導体集積回路装置200は前記図5の半導体集積回路装置100と類似した構成を有するが、支柱P100の代わりに支柱P200が低誘電率多層配線構造中のみを延在し、従って支柱Pの端部が前記層間絶縁膜108の下面を支える構成になっている点で相違している。

【0056】

図10の構成においても前記層間絶縁膜108～110が比較的大きなヤング率を有しているため、先に図2で説明したようにコンタクトパッド111に印加された応力は効率的に低誘電率層間絶縁膜103～107に伝達される。このため、前記支柱P200を本実施例のように前記低誘電率層間絶縁膜103～107中に形成しただけでも、前記支柱P200は印加応力を支え、微細なCu配線パターンへの応力の印加が効果的に回避される。

[第3実施例]

図11は、本発明の第3実施例による半導体集積回路装置300の構成を示す。ただし図11中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0057】

図11を参照するに、本実施例ではSi基板101中のSTI構造101Cに対応して層間絶縁膜103～110を貫通するスルーホール301が形成され、前記スルーホール301中にはWよりなる支柱P300が前記STI構造101Cから前記コンタクトパッド111まで、一直線に連続して延在する。

【0058】

図12は、図11の構造の製造工程を示す。

【0059】

図12を参照するに、前記Si基板101上にダマシン工程を行うことにより層間絶縁膜103～110までを含む積層構造が形成された後、前記層間絶縁膜110上にレジスト膜Rを形成し、これをパターンニングして前記STI構造101Cに、前記層間絶縁膜103～110を連続して延在し、STI構造101Cの表面を露出するように、前記スルーホール301を形成する。

【0060】

さらに図12の工程の後、前記レジスト膜Rを除去し、前記スルーホール301をWのCVD法により形成されたW膜で充填し、さらに前記層間絶縁膜110上に残留するW膜をCMP工程により除去することにより、前記スルーホール301を充填するように、図11で示したWの連続的な支柱P300が形成される。

【0061】

なお、図11の実施例の一変形例として、図13に示すように前記スルーホール301を層間絶縁膜103～107中にのみ形成し、前記スルーホール301をWプラグP300で充填した後、かかる構造上に層間絶縁膜108～110およびそれぞれの配線パターンを有する多層配線構造を形成するようにしてもよい。

【0062】

なお、本実施例において支柱P300はWプラグに限定されるものではなく、CVD、電解めっき、無電解めっき、スパッタ等様々な成膜方法を使って形成することができ、支柱P300の材料もWに限定されるものではなく、CuやAl、Niなどの他の金属材料、あるいはTa₂Nなどの窒化物、さらにはダイヤモンドやフラーレン、カーボンナノチューブなどの材料を使うことも可能である。

【第4実施例】

図14(A)、(B)は、本発明の第4実施例による半導体集積回路装置の一部を示す平面図である。

【0063】

先に図9で説明したように、本発明の支柱はコンタクトパッド直下に、可能な限り多数、一様な密度で形成するのが好ましい。特に微細な配線パターンへの応力集中を回避する目的から考えると、このような支柱は、配線パターンの周囲に、配線パターンを両側から支えるように配設するのが好ましい。

【0064】

図14(A)は、かかる支柱の配置の例であり、配線パターン401の両側に支柱P400が配列されているのがわかる。ただし支柱P400は、前記支柱P100～300のいずれかと同様な断面構造を有しており、また配線パターン401は前記層間絶縁膜103～107のいずれかに形成された配線パターン、すなわち配線パターン104A～104D、105A～105D、106A～106D、107A～107Dのいずれかを表す。

【0065】

図14(B)は、前記配線パターン401の屈曲部を示す。

【0066】

このような屈曲部においても、前記支柱P400を配線パターン401の両側に配置することにより、配線パターン401への応力の印加およびこれに伴う配線パターンの変形あるいは断線の問題を効果的に回避することができる。

【0067】

図14(A)、(B)の例では円形断面を有する支柱P400を使ったが、図15(C)あるいは15(D)の変形例に示すように矩形断面を有する支柱P410を使うことも可能である。

【0068】

図15(C)を参照するに、図示の構成では支柱P410は平面図上で配線パターン401の両側において配線パターン401に沿って延在し、前記配線パターン401に印加される応力を支える。

【0069】

図15(D)は図15(C)の構造を配線パターン401の屈曲部について示すが、この場合には前記矩形断面の支柱P410が配線パターン401の一方の側において配線パターン401に沿って延在するように配置されると同時に、他方の側に矩形の支柱P411が形成されているのがわかる。

【第5実施例】

図16は本発明の第5実施例による半導体チップ領域5001～5004の構成を示す。

【0070】

図16を参照するに半導体チップ領域500₁～500₄はシリコンウェハ上にスクライブライン501により、個々の半導体チップに対応して画成されている。

【0071】

以下では、半導体チップ領域500₁についてのみ説明する。

【0072】

図16を参照するに、半導体チップ領域500₁では前記スクライブライン501に沿って、例えば図5の支柱P100と同様な断面構造を有する壁P500が、前記半導体チップ領域500₁の外周を連続して囲むように形成されている。

【0073】

このようにして形成された壁P500は半導体チップ内部への水分やガスの侵入を阻止する耐湿リングとして作用するが、同時にシリコンウェハを前記スクライブライン501に沿ってダイシングソーにより切断する際にチップ内部の低誘電率層間絶縁膜中に埋設された微細な配線パターンに印加される応力を阻止する機能をも果たす。

【0074】

なお、以上の各実施例の説明では多層配線構造中に形成される支柱は、STI構造101C上に形成されていたが、本発明はかかる特定の構成に限定されるものではなく、前記支柱はSi基板上の他の絶縁膜上に、あるいはSi基板表面上に直接に形成することも可能である。ただし拡散領域など、活性領域を避けるのが好ましい。

【0075】

また本発明は前記低誘電率層間絶縁膜103～107中の配線パターンがCu配線パターンである場合に限定されるものではなく、これらがCu合金よりなる配線パターン、あるいはAlあるいはAl合金よりなる配線パターンの場合にも適用可能である。同様に本発明は前記層間絶縁膜108～109中の配線パターンがCu配線パターンである場合に限定されるものではなく、これがCu合金よりなる配線パターン、あるいはAlあるいはAl合金よりなる配線パターンの場合にも適用可能である。

[第6実施例]

本発明の発明者は本発明の第6実施例において、先に図5で説明した本発明第1実施例の半導体集積回路装置100を基に、図5のLow-K多層配線構造を図17に示すようにCu配線層1Aを形成されたヤング率が10GPaの低誘電率層間絶縁膜1(SiLK(登録商標))と、Cuビアプラグ12Aを形成されたヤング率が20GPaのSiOC膜2との積層により形成し、前記層間絶縁膜1の膜厚h₁を200nmに設定した条件下において前記膜厚h₂を様々に変化させ、多層配線構造中の応力分布を求める実験を行った。

【0076】

図18は、本発明の発明者が本実施例において使った試料の構造を示す。

【0077】

図18を参照するに、前記試料は図5の場合と同様なSi基板101上に形成されており、図17に示す構成の配線層を4層積層し、図5の層104～107に対応する層間絶縁膜を含む低誘電率下部多層配線構造3(Low-K)と、前記下部多層配線構造3上に形成され、プラズマCVD-SiOC膜を4層積層し、図5の層108～110に対応する中間多層配線構造4(P-CVD-SiOC)と、前記中間多層配線構造4上に形成され、プラズマCVD-SiO₂膜を4層積層した上部多層配線構造5とを含む。さらに前記上部多層配線構造5上にはAl電極パッド6が形成されている。

【0078】

図18の構造において、前記低誘電率下部多層配線構造3、中間多層配線構造4および上部多層配線構造5中には、前記Al電極パッド6から前記Si基板101の表面まで、先に図5で説明した支柱P100と同様な支柱P1が延在している。

【0079】

図18の実験では、前記下部多層配線構造3、中間多層配線構造4および上部多層配線構造5中の配線パターンおよびビアプラグは全てCuより形成し、前記中間多層配線構造

4においては各SiOC層間絶縁膜の膜厚を、ビア層まで含めて700nm(配線層400nm, ビア層300nm)とし、また前記上部多層配線構造5においては各SiO₂層間絶縁膜の膜厚を、ビア層まで含めて1200nm(配線層900nm, ビア層300nm)としている。

【0080】

先にも説明したように上記の実験では、前記低誘電率下部多層配線構造3では、SiLK(登録商標)よりなる各々の低誘電率層間絶縁膜1の膜厚 h_1 を200nmに設定し、SiOCよりなるビア層2の膜厚 h_2 を90nm, 120nm, 150nm, 180nm, 210nm, 240nm, 270nm, 300nmと変化させて、前記A1電極パッドにワイヤボンディング工程に対応した応力を印加した場合の応力分布を求めている。

【0081】

図19は、前記低誘電率多層配線構造3について、このようにして求められた応力分布を示す。ただし図中、●はCu配線パターン1Aに印加される応力を、▲は層間絶縁膜1に印加される応力を示している。

【0082】

図19を参照するに、配線パターンに印加される応力の値が、ビア層2の膜厚 h_2 が約200nm、すなわち層間絶縁膜1の膜厚を超えたあたりから急増をはじめることがわかる。一方、層間絶縁膜に印加される応力については、このような臨界的な応力分布の変化は見られない。

【0083】

図19より、図18のような低誘電率多層配線構造上に従来の力学強度の大きな多層配線構造を積層した構成の半導体装置あるいは半導体集積回路装置では、低誘電率多層配線構造中の非常に微細な配線パターンに印加される応力を最小化するためには、図17の構成においてビア層を構成するSiOC膜2の膜厚 h_2 を、前記層間絶縁膜1の膜厚 h_1 以下に設定するのが好ましいことがわかる。

【0084】

一方、図17のような構成において前記ビア層2の膜厚 h_2 を小さくしすぎると、上層の配線層1Aと下層の配線層1Aとが接近し、間に寄生容量を形成するため、この観点からは、前記膜厚 h_2 は可能な限り大きいのが好ましい。このようなことから、前記膜厚 h_2 は、前記配線パターン1Aに印加される応力の急増が始まる約200nm程度に設定するのが好ましいと考えられる。なお、前記層間絶縁膜 h_1 の膜厚は約300nm程度以下に設定するのが好ましい。

[第7実施例]

図20は、本発明第7実施例による半導体集積回路装置の構成の一部を示す。ただし図20中、先に説明した部分には対応する参照符号を付し、説明を省略する。

【0085】

図20を参照するに、本実施例では前記Si基板101上に前記図5の実施例で説明した支柱P100の代わりに、同様な構成を有する二つの支柱P100A, P100Bを形成し、さらに前記支柱P100AとP100Bの間に、前記Cuパターン104PおよびCuプラグ104pに対応して前記層間絶縁膜104中にCuパターン104XとCuプラグ104xを、前記Cuパターン105PおよびCuプラグ105pに対応して前記層間絶縁膜105中にCuパターン105XとCuプラグ105xを、前記Cuパターン106PおよびCuプラグ106pに対応して前記層間絶縁膜106中にCuパターン106XとCuプラグ106xを、さらに前記Cuパターン107PおよびCuプラグ107pに対応して前記層間絶縁膜107中にCuパターン107XとCuプラグ107xを、全体としてX字型補強構造が形成されるように、形成する。

【0086】

図20の例では前記支柱P100A, P100Bの基部にはCu基部パターン104P Xが形成されており、最下部のCuプラグ104pは前記Cu基部パターン104P上に

コンタクトするように形成される。

【0087】

図21(A)～(D)は、このようなX字型補強構造を形成された多層配線構造に対して基板面に平行に0.07MPaの応力を印加した場合の、図20の構造中に生じる応力分布をシミュレーションにより計算した結果を示す。ただし図21では図20の多層配線構造600上に先の図18で説明したと同様な中間多層配線構造4および上部多層配線構造5、さらにA1電極パッド6を形成したモデルについて、シミュレーションを行っている。その際、前記低誘電率層間絶縁膜104～107はいずれも2.45GPaのヤング率と0.25のポアソン比を有するものとして、また前記パターン104X等のCu配線パターンおよびプラグ104x等のCuプラグは127.5GPaのヤング率と0.33のポアソン比を有するものとして、また図18において前記中間多層配線構造5を構成するSiOC層間絶縁膜は20GPaのヤング率と0.25のポアソン比を有するものとして、前記上部多層配線構造6を構成するSiO₂層間絶縁膜(USG)膜は70GPaのヤング率と0.17のポアソン比を有するものとして、さらに前記A1電極パッド6は70GPaのヤング率と0.35のポアソン比を有するものとしてシミュレーションを行っている。前記0.07MPaの応力は、CMP工程の際に生じる応力におおよそ対応している。

【0088】

図21(A)～(D)を参照するに、図21(A)は前記X字型の構造を形成した場合を、また図21(B)は図21(A)の一部を拡大して示しているが、このように基板面に平行に作用する応力が印加された場合でも、前記支柱P100A、P100Bに顕著な応力集中が生じることはないことがわかる。

【0089】

これに対し、図21(C)はかかるX字型補強構造を設けなかった場合の応力分布を、また図21(D)は図21(C)の一部を拡大してしまっているが、この場合には支柱P100A、P100Bの根元近傍に顕著な応力集中が生じているのがわかる。

【0090】

このように、図20に示すX字型の補強構造を設けることにより、特に基板面に平行に作用する応力に対して多層配線構造の耐性を大幅に向上させることが可能である。このような基板に平行に作用する応力は、CMP工程の際に生じるのみならず、モールドイング時、あるいはダイシング時、超音波接合を使ったボンディング時などにおいても生じる可能性がある。

【0091】

さらにこのようなX字型の補強構造は、図16で説明した耐湿リングに適用することも可能である。

【0092】

また図20の構成を簡素化して、図22に示すように一方の対角線方向にのみ補強構造を形成することも可能である。このような構造では、配線パターンを形成するのに利用できる領域が増大する。図22のその他の特徴は先に説明した通りであり、説明を省略する。

【0093】

さらに図23に示すように、このような対角線型補強構造は低誘電率多層構造中に、図23に示すように3次元対角線状に形成することも可能である。

【0094】

さらに本発明は上記の特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

(付記1) 基板と、
前記基板上に形成された第1の多層配線構造と、
前記第1の多層配線構造上に形成された第2の多層配線構造とを備え、

前記第1の多層配線構造は第1の層間絶縁膜と前記第1の層間絶縁膜中に含まれる第1の配線層とを含み、

前記第2の多層配線構造は第2の層間絶縁膜と前記第2の層間絶縁膜中に含まれる第2の配線層とを含み、

前記第1の多層配線構造は、前記基板表面から少なくとも前記第2の多層配線構造に達する支柱を含み、

前記第1の配線層は、前記支柱を避けて形成されていることを特徴とする半導体装置。

【0095】

(付記2) 前記支柱は、前記第1の多層配線構造中において前記第1の配線層と同一の層構造を有することを特徴とする付記1記載の半導体装置。

【0096】

(付記3) 前記支柱は、前記第1の多層配線構造中において前記第1の配線層とは異なる組成を有することを特徴とする付記1記載の半導体装置。

【0097】

(付記4) 前記支柱は、前記第2の多層配線構造の下面に係合する端部を有することを特徴とする付記1～3のうち、いずれか一項記載の半導体装置。

【0098】

(付記5) 前記支柱はさらに前記第2の多層配線構造中を延在し、前記第2の多層配線構造中を延在する部分では、前記第2の配線層と同一の層構造を有することを特徴とする付記1または2記載の半導体装置。

【0099】

(付記6) 前記支柱はさらに前記第2の多層配線構造中を延在し、前記支柱は前記第1および第2の配線層とは異なる組成を有することを特徴とする付記1記載の半導体装置。

【0100】

(付記7) 前記第2の多層配線構造上には、電極パッドが形成されていることを特徴とする付記1～6のうち、いずれか一項記載の半導体装置。

【0101】

(付記8) 前記支柱は、前記基板のうち前記電極パッド直下の領域において複数個、全体として前記領域の少なくとも15%の面積を占有するように形成されることを特徴とする付記7記載の半導体装置。

【0102】

(付記9) 前記基板上、前記電極パッドの直下の領域には活性素子が形成されていることを特徴とする付記7または8記載の半導体装置。

【0103】

(付記10) 前記第1の層間絶縁膜は第1のヤング率を有し、前記第2の層間絶縁膜は前記第1のヤング率よりも大きな第2のヤング率を有することを特徴とする付記1～9のうち、いずれか一項記載の半導体装置。

【0104】

(付記11) 前記第1のヤング率は30GPa未満の値を有し、前記第2のヤング率は30GPa以上の値を有することを特徴とする付記10記載の半導体装置。

【0105】

(付記12) 前記第1のヤング率は、前記第2のヤング率の1/2以下であることを特徴とする付記10または11記載の半導体装置。

【0106】

(付記13) 前記支柱は、30GPa以上のヤング率を有することを特徴とする付記1～12のうち、いずれか一項記載の半導体装置。

【0107】

(付記14) 前記第1の多層配線構造においては、前記支柱が複数個、前記第1の配線層を構成する配線パターンの両側に位置するように形成されることを特徴とする付記1

～13のうち、いずれか一項記載の半導体装置。

【0108】

(付記15) 前記支柱は前記基板表面を連続的に延在する壁面を形成することを特徴とする付記1～14のうち、いずれか一項記載の半導体装置。

【0109】

(付記16) 前記支柱は、前記第1および第2の多層配線構造中を前記基板の外周に沿って連続的に延在し、耐湿リングを形成することを特徴とする付記1記載の半導体装置。

【0110】

(付記17) 前記第1の層間絶縁膜は多孔質膜よりなることを特徴とする付記1～16のうち、いずれか一項記載の半導体装置。

【0111】

(付記18) 前記第1の層間絶縁膜は有機膜であることを特徴とする付記1～16のうち、いずれか一項記載の半導体装置。

【0112】

(付記19) 前記第2の層間絶縁膜は、CVD絶縁膜であることを特徴とする付記1～18のうち、いずれか一項記載の半導体装置。

【0113】

(付記20) 前記支柱は、前記基板上の素子分離構造上に設けられることを特徴とする付記1～19のうち、いずれか一項記載の半導体装置。

【0114】

(付記21) 前記支柱は前記基板上に複数設けられ、前記第1の多層配線構造中においては、前記複数の支柱の間に対角線的に延在する補強構造が設けられていることを特徴とする付記1～20のうち、いずれか一項記載の半導体装置。

【0115】

(付記22) 少なくとも2層以上の配線層を、ビア層を介して積層した多層配線構造において、

前記各々の配線層は層間絶縁膜と、前記層間絶縁膜中に形成された配線パターンとよりなり、

前記ビア層は層間絶縁膜と、前記層間絶縁膜中に形成されたビアプラグとよりなり、

前記ビアプラグは、前記ビア層上の配線層中の配線パターンと、前記ビア層下の配線層中の配線パターンとを接続し、

前記ビア層を構成する層間絶縁膜は、前記ビア層上下の配線層を構成する層間絶縁膜のいずれよりも小さな膜厚と大きな弾性率とを有することを特徴とする多層配線構造。

【0116】

(付記23) 前記上下の配線層において前記層間絶縁膜は300nm未満の膜厚を有することを特徴とする付記22記載の多層配線構造。

【0117】

(付記24) 前記ビア層を構成する層間絶縁膜は、約180nmの膜厚を有することを特徴とする付記22または23記載の多層配線構造。

【0118】

(付記25) 基板と、

前記基板上に形成された第1の多層配線構造と、

前記第1の多層配線構造上に形成された第2の多層配線構造とを含む半導体装置であって、

前記第1の多層配線構造は、少なくとも2層以上の配線層を、ビア層を介して積層してなり、

前記各々の配線層は層間絶縁膜と、前記層間絶縁膜中に形成された配線パターンとよりなり、

前記ビア層は層間絶縁膜と、前記層間絶縁膜中に形成されたビアプラグとよりなり、

前記ビアプラグは、前記ビア層上の配線層中の配線パターンと、前記ビア層下の配線層中の配線パターンとを接続し、

前記ビア層を構成する層間絶縁膜は、前記ビア層上下の配線層を構成する層間絶縁膜のいずれよりも小さな膜厚と大きな弾性率とを有し、

前記第1の層間絶縁膜中において前記各配線層中の配線パターンおよび各ビア層中のビアプラグは、前記基板表面から前記第1の多層配線構造を貫通して連続的に延在し、少なくとも前記第2の多層配線構造に至る支柱を形成することを特徴とする半導体装置。

【0119】

(付記26) 基板と、

前記基板上に形成された多層配線構造とよりなり、

前記多層配線構造中には複数の支柱が、前記基板表面に達するように形成されており、

前記多層配線構造中には、前記複数の支柱の間に、対角線状に、補強構造が形成されていることを特徴とする半導体装置。

【0120】

(付記27) 前記多層配線構造上には別の多層配線構造が形成されており、前記多層配線構造は、その上の、前記別の多層配線構造中の層間絶縁膜よりも低い比誘電率を有する層間絶縁膜を含むことを特徴とする請求項26記載の半導体装置。

【0121】

(付記28) 前記補強構造は、前記多層配線構造中における配線層と同一の層構造を有することを特徴とする付記26または27記載の半導体装置。

【図面の簡単な説明】

【0122】

【図1】従来の多層配線構造を有する半導体集積回路装置の構成を示す図である。

【図2】従来の多層配線構造中における応力分布を示す図である。

【図3】図2の応力分布に対応したモデル構造を示す図である。

【図4】従来の多層配線構造を有する半導体集積回路装置において生じる問題点を説明する図である。

【図5】本発明の第1実施例による半導体集積回路装置の構成を示す図である。

【図6】本発明の効果を示す図である。

【図7】(A)～(C)は、図5の半導体集積回路装置の製造工程を示す図(その1)である。

【図8】(D)～(E)は、図5の半導体集積回路装置の製造工程を示す図(その2)である。

【図9】本発明における支柱の分布の一例を示す図である。

【図10】本発明第2実施例による半導体集積回路装置の構成を示す図である。

【図11】本発明第3実施例による半導体集積回路装置の構成を示す図である。

【図12】図11の半導体集積回路装置の製造工程を示す図である。

【図13】図11の半導体集積回路装置の一変形例を示す図である。

【図14】(A)、(B)は、本発明の第4実施例による半導体集積回路装置の一部を示す平面図である。

【図15】(C)、(D)は、本発明の第4実施例による半導体集積回路装置の一部を示す平面図である。

【図16】本発明第5実施例による半導体ウェハの一部を示す平面図である。

【図17】本発明第6実施例による多層配線構造の構成の一部を示す図である。

【図18】図17の構成を有する多層配線構造の全体を、比較例と共に示す図である。

。

【図19】図17の多層配線構造中における応力分布を示す図である。

【図20】本発明第7実施例による多層配線構造の構成を示す図である。

【図21】(A)～(D)は、図20の多層配線構造中における応力分布を、比較例

の場合と共に示す図である。

【図 22】図 20 の多層配線構造の一変形例を示す図である。

【図 23】図 20 の多層配線構造の別の変形例を示す図である。

【符号の説明】

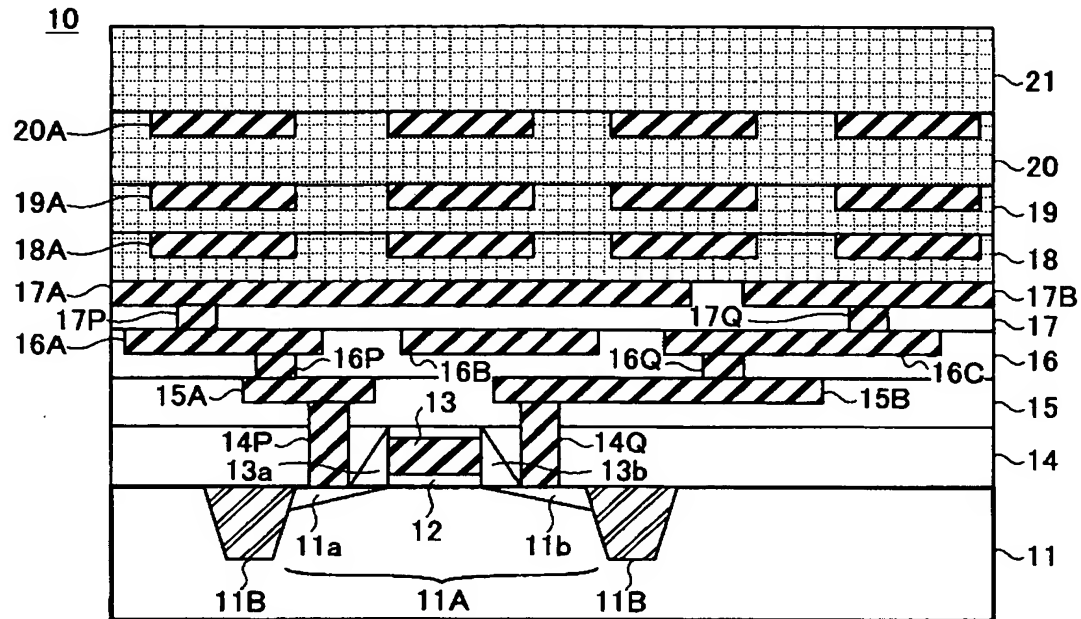
【0123】

- 10, 100 半導体集積回路装置
- 11, 31, 101 基板
- 11A, 101A, 10B 素子領域
- 11B, 101C 素子分離構造
- 11a, 11b, 101a~101d 拡散領域
- 12 ゲート絶縁膜
- 13, 102A, 102B ゲート電極
- 13a, 13b ゲート側壁絶縁膜
- 14~17, 32, 103~107 低誘電率層間絶縁膜
- 14P~14Q, 16P~16Q, 17P~17Q, 104a~104d, 110V
ビアプラグ
- 15A~15B, 16A~16C, 17A~17B, 104A~104D, 105A~
105D, 106A~106D, 107A~107D 下部配線層
- 18~21, 33~34 層間絶縁膜
- 18A, 19A, 20A, 108A~108D, 109A~109D 上部配線層
- 22, 111 コンタクトパッド
- 32A 配線パターン
- 32X 隙間
- 104BM TaNバリアメタル
- 104P~109P 支柱パターン
- 104p~109p 支柱プラグ
- 105GC 配線パターン溝
- 105GP 支柱パターン溝
- 105S SiCバリア膜
- 105Sd Cuシード層
- 105T SiCハードマスク
- 105V ビアホール
- 5001~5004 チップ領域
- 501 スクライブライン
- P100~P300, P400 支柱
- P500 支柱兼耐湿リング

【書類名】 図面

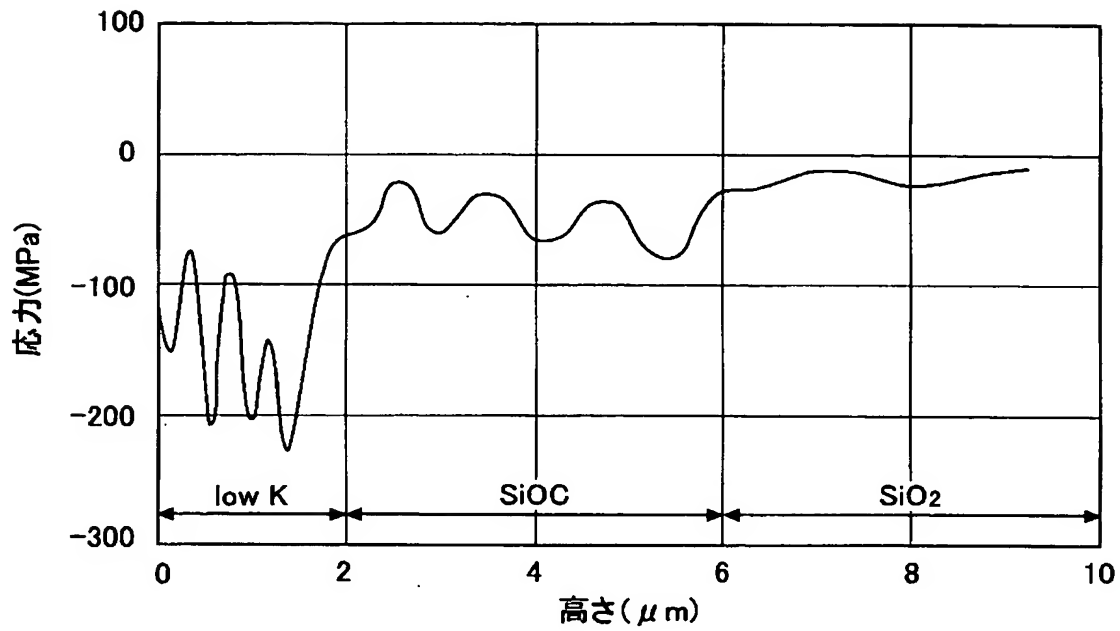
【図 1】

従来の多層配線構造を有する半導体集積回路装置の構成を示す図



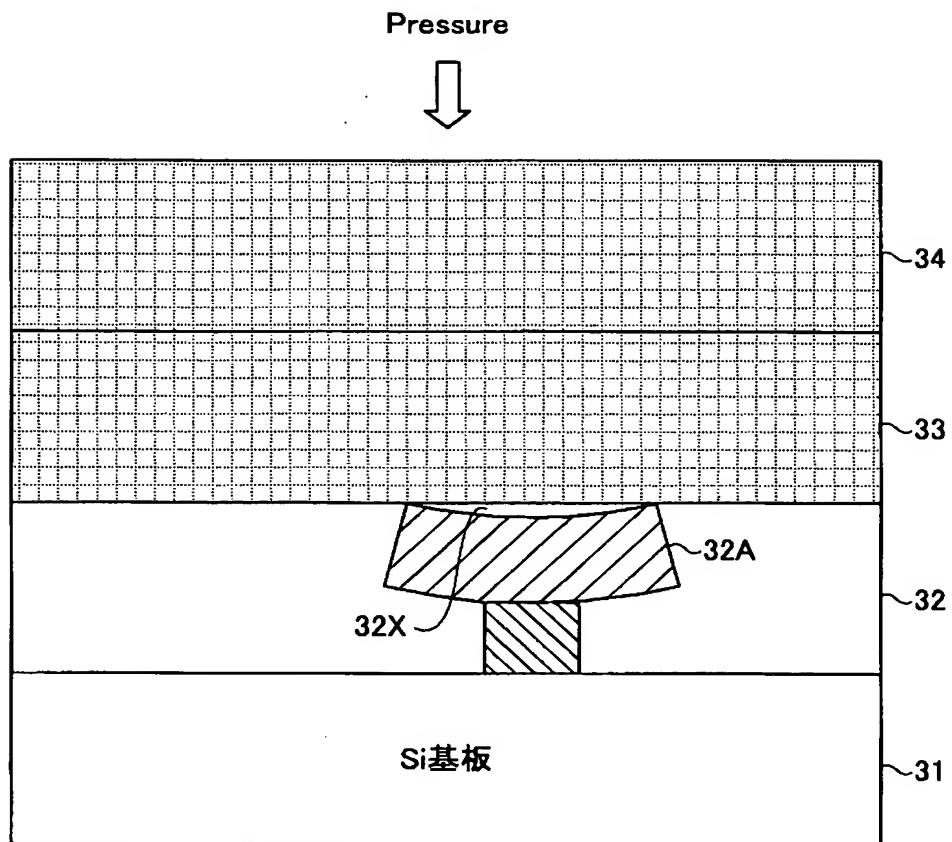
【図 2】

従来の多層配線構造中における応力分布を示す図



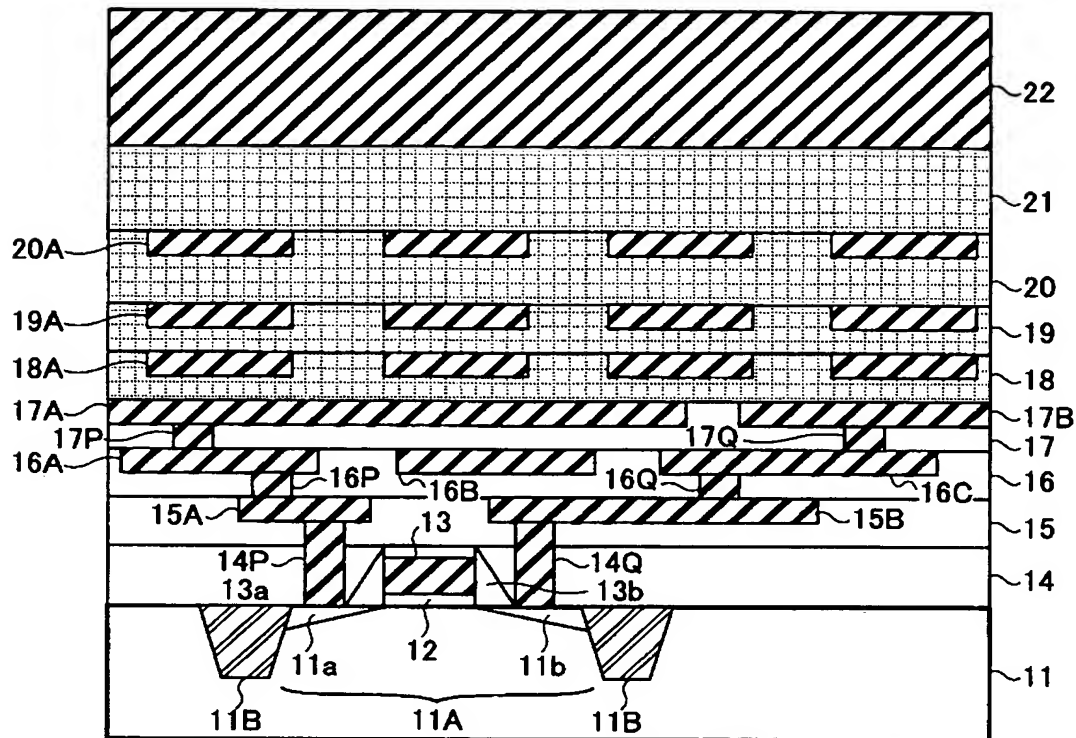
【図 3】

図2の応力分布に対応したモデル構造を示す図



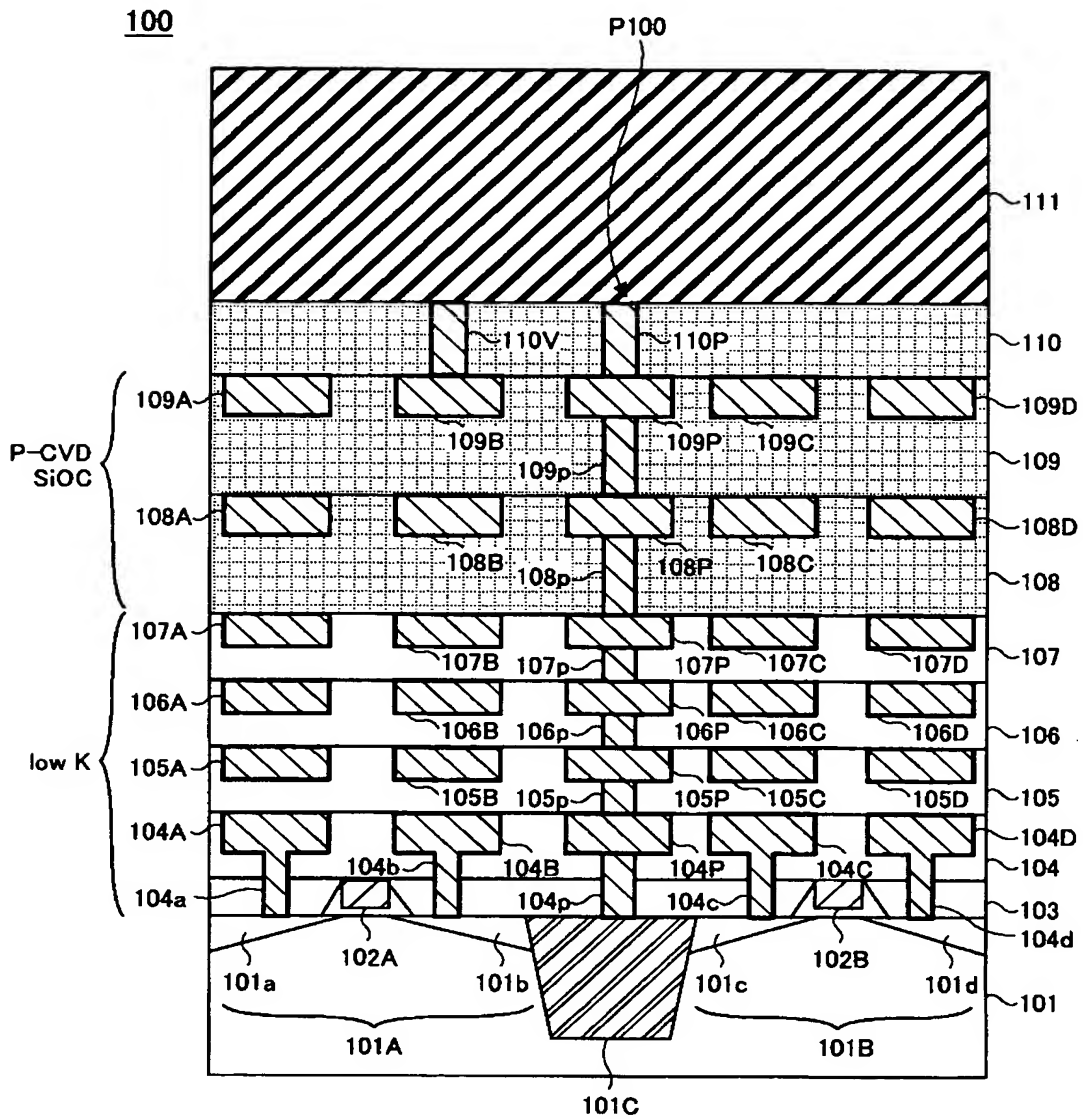
【図 4】

従来の多層配線構造を有する半導体集積回路装置において
生じる問題点を説明するための図



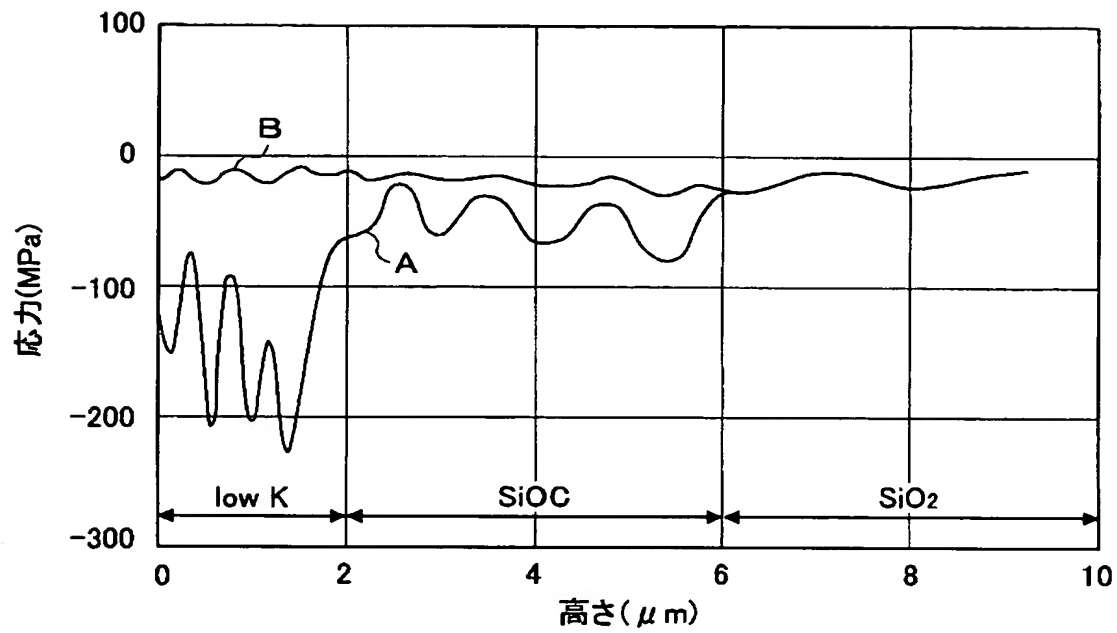
【図 5】

本発明の第1実施例による半導体集積回路装置の構成を示す図



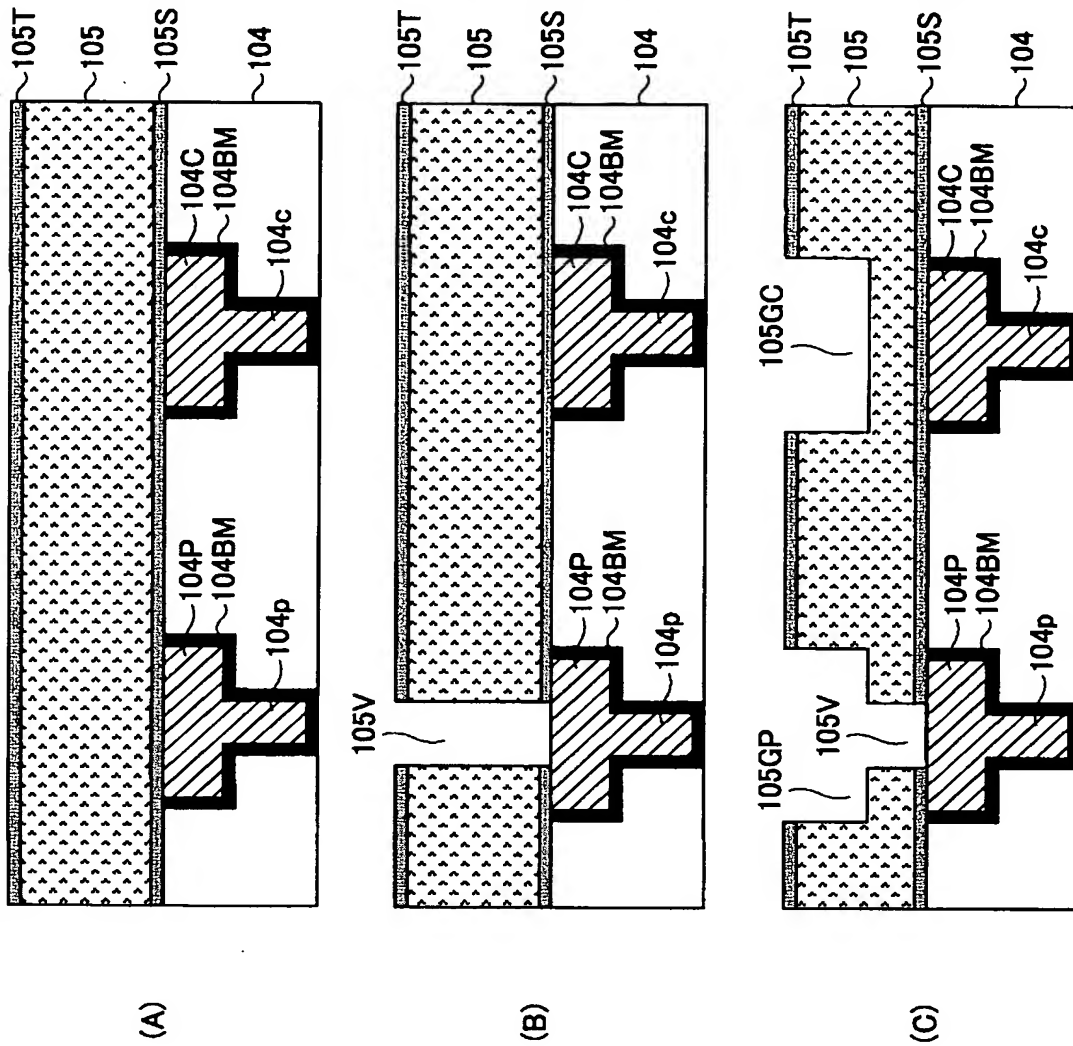
【図 6】

本発明の効果をを示す図



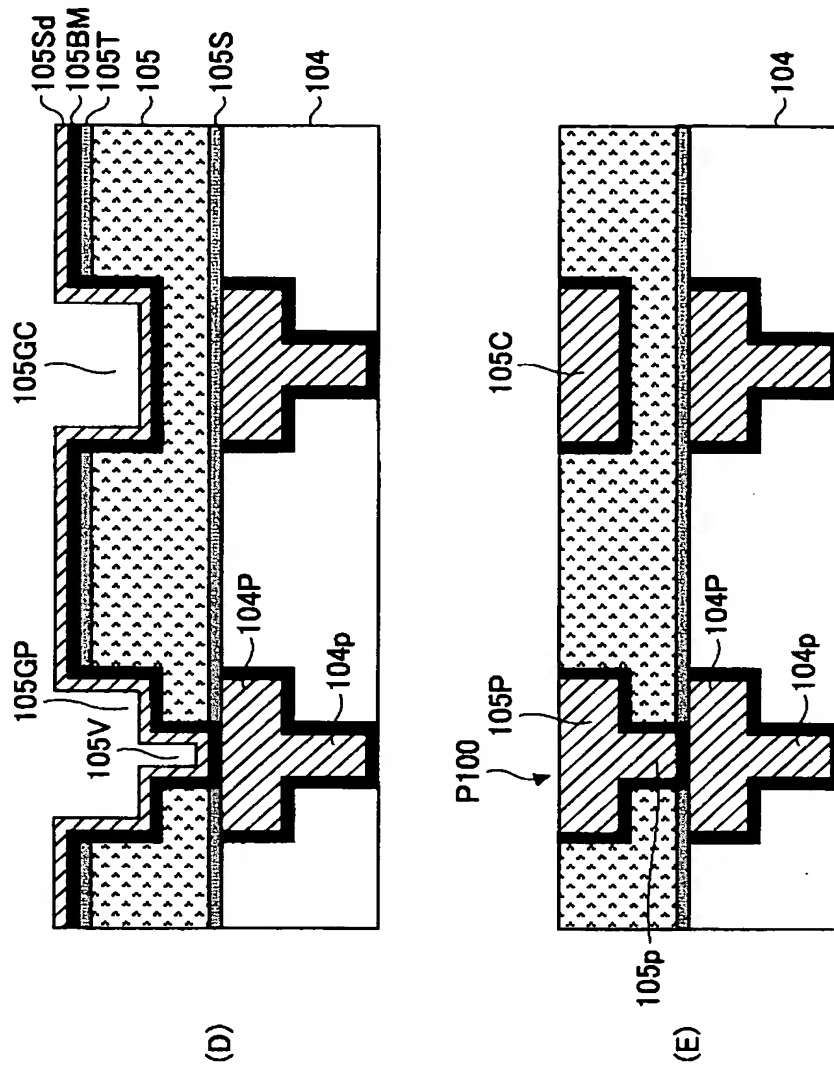
【図 7】

(A)～(C)は、図5の半導体集積回路装置の製造工程を示す図(その1)



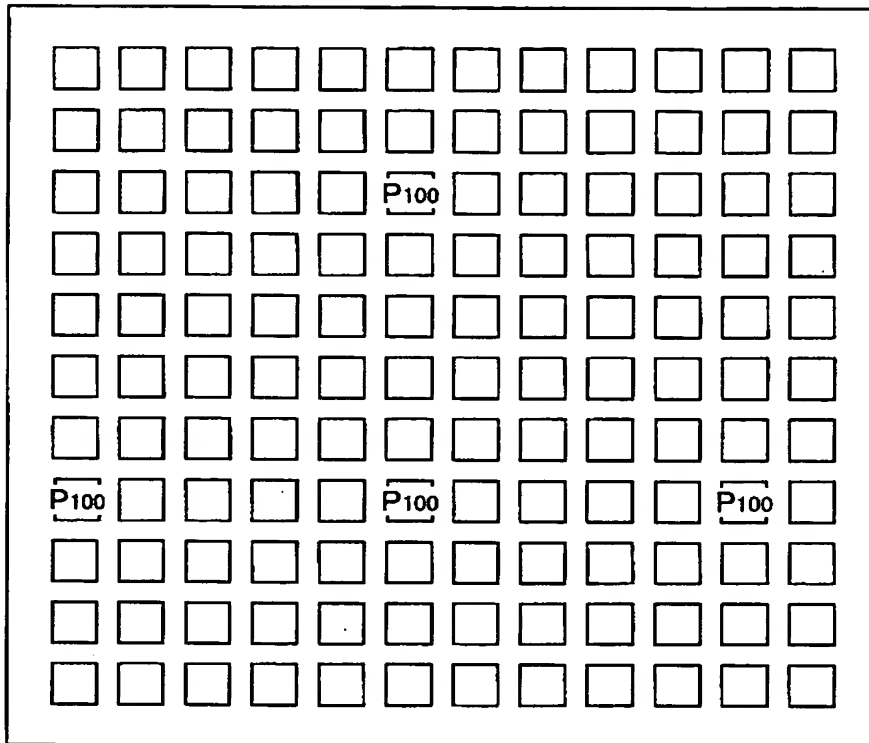
【図 8】

(D)～(E)は、図5の半導体集積回路装置の製造工程を示す図(その2)



【図 9】

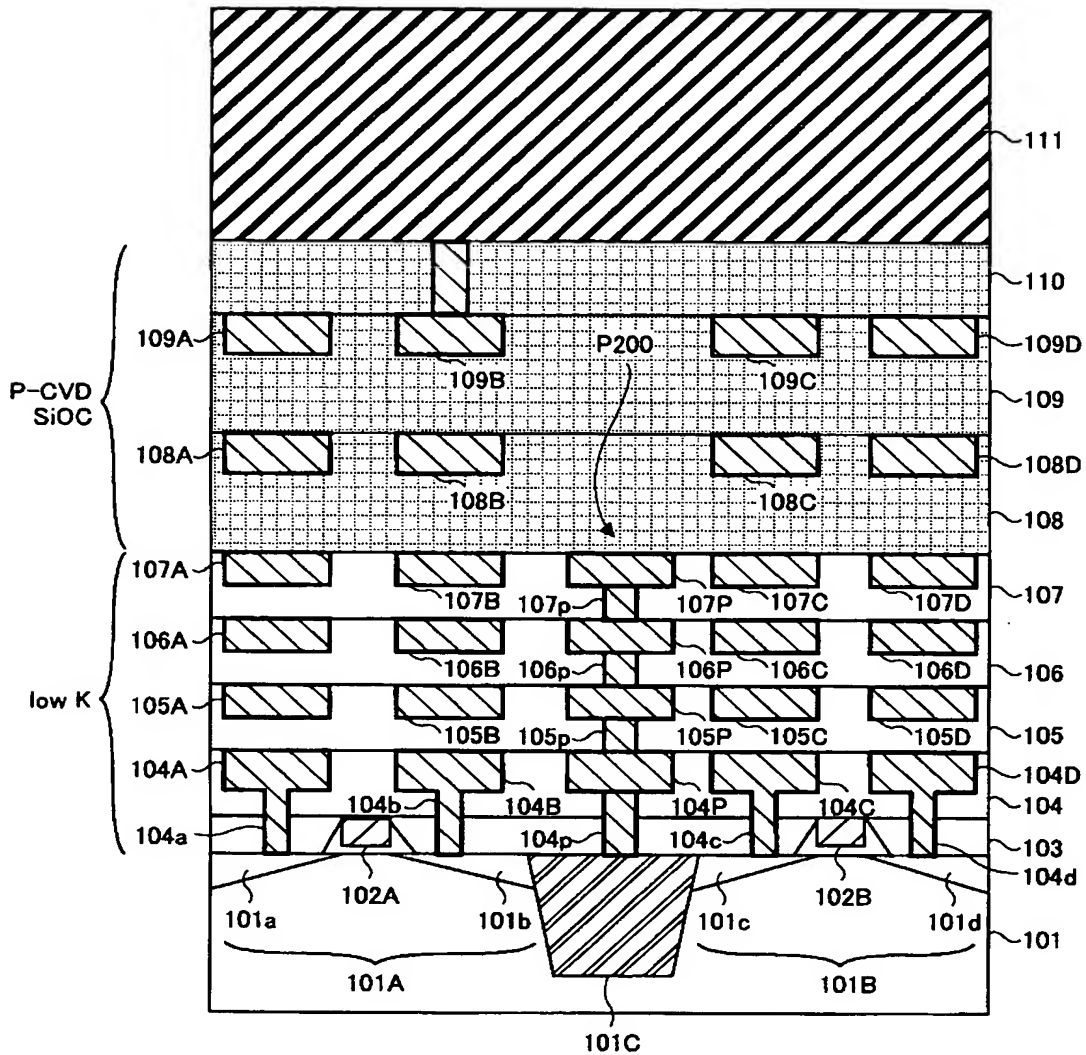
本発明における支柱の分布の一例を示す図



【図 10】

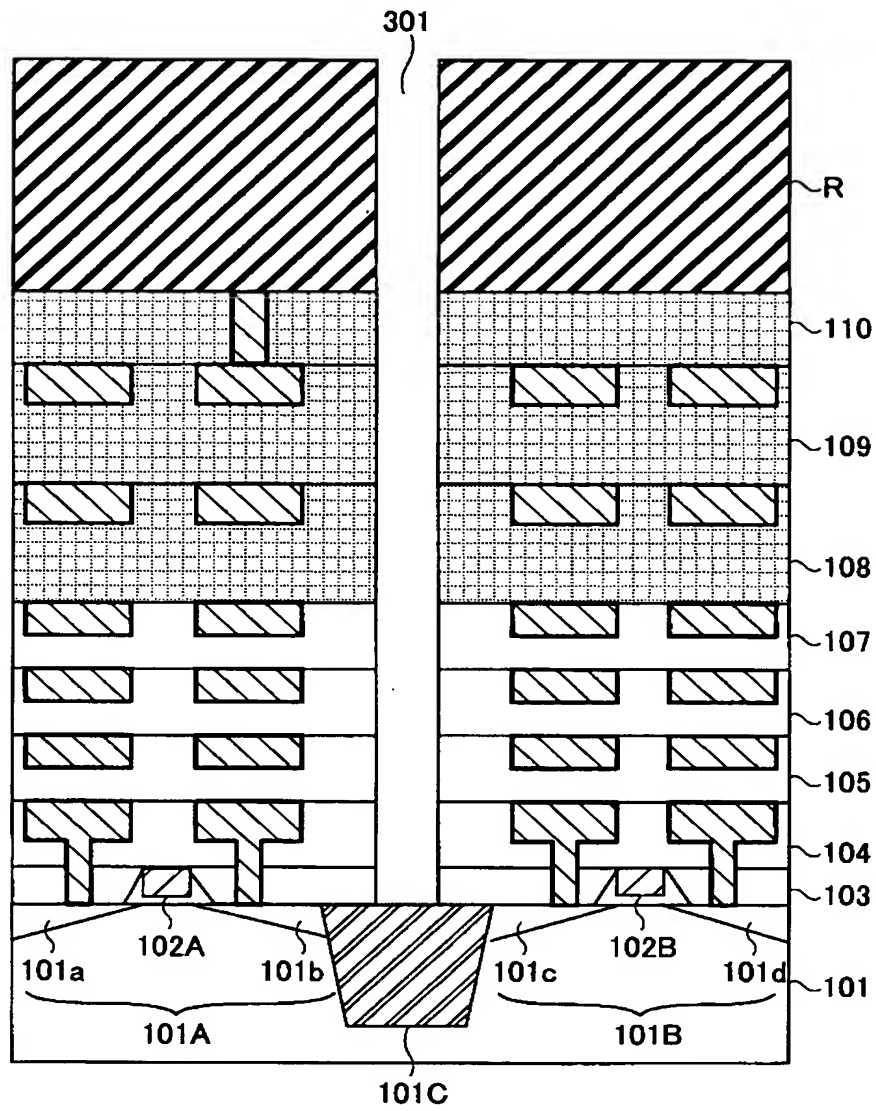
本発明の第2実施例による半導体集積回路装置の構成を示す図

200



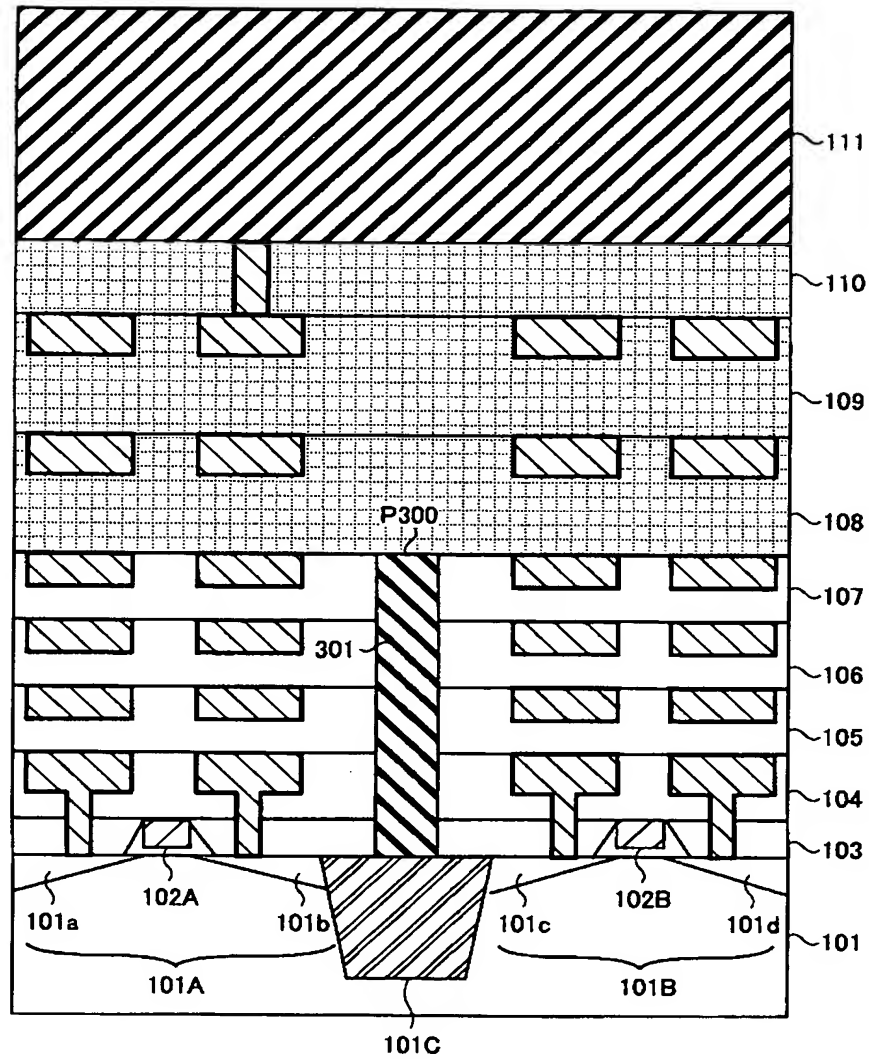
【図 12】

図11の半導体集積回路装置の製造工程を示す図



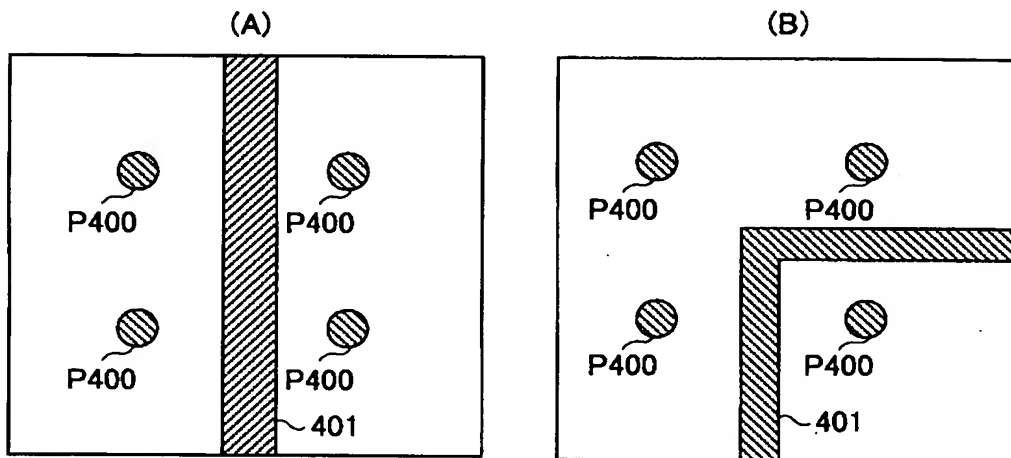
【図 13】

図11の半導体集積回路装置の一変形例を示す図



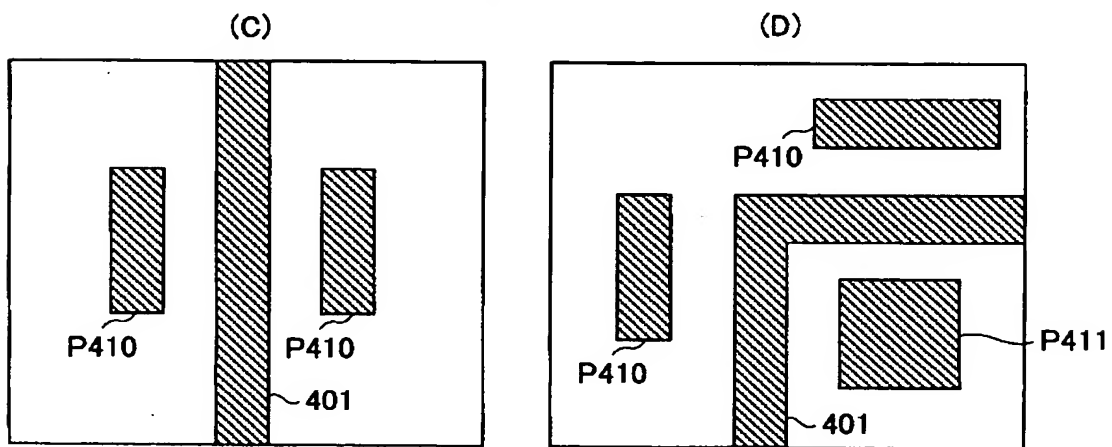
【図 14】

(A),(B)は、本発明の第4実施例による
半導体集積回路装置の一部を示す平面図



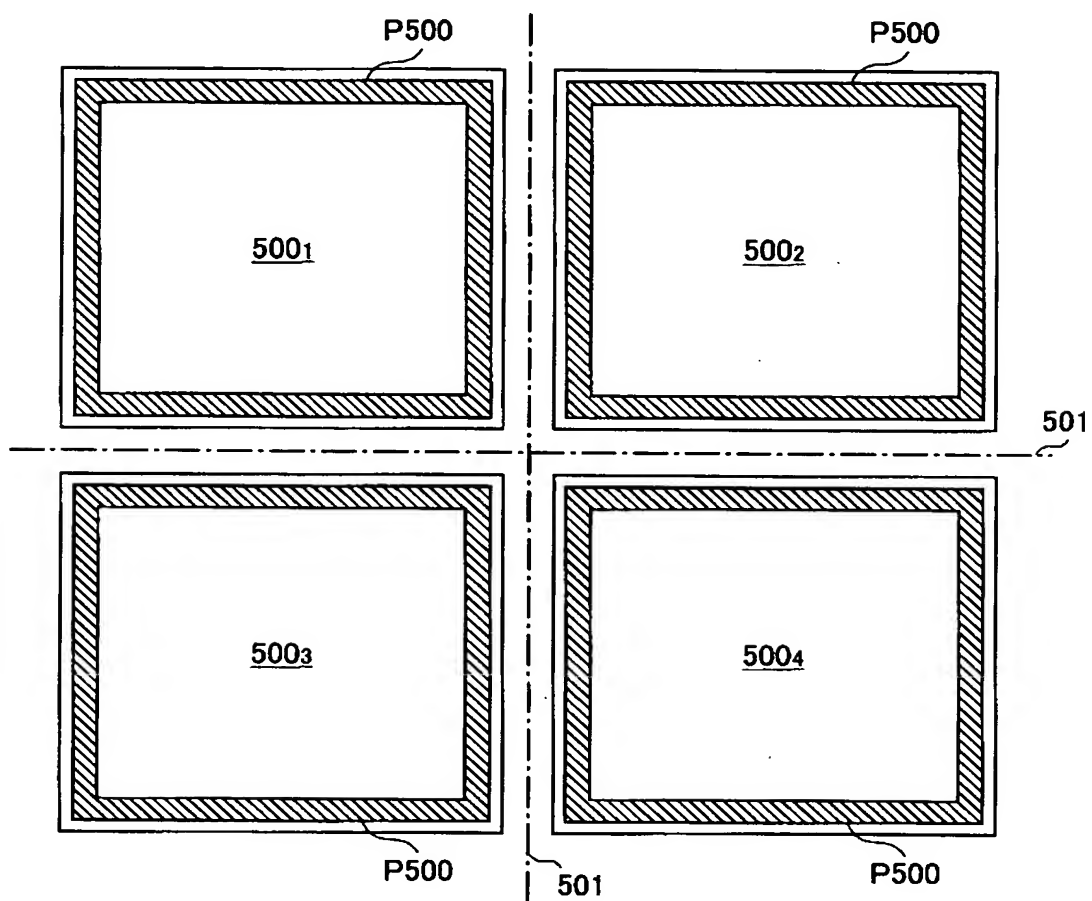
【図 15】

(C),(D)は、本発明の第4実施例による
半導体集積回路装置の一部を示す平面図



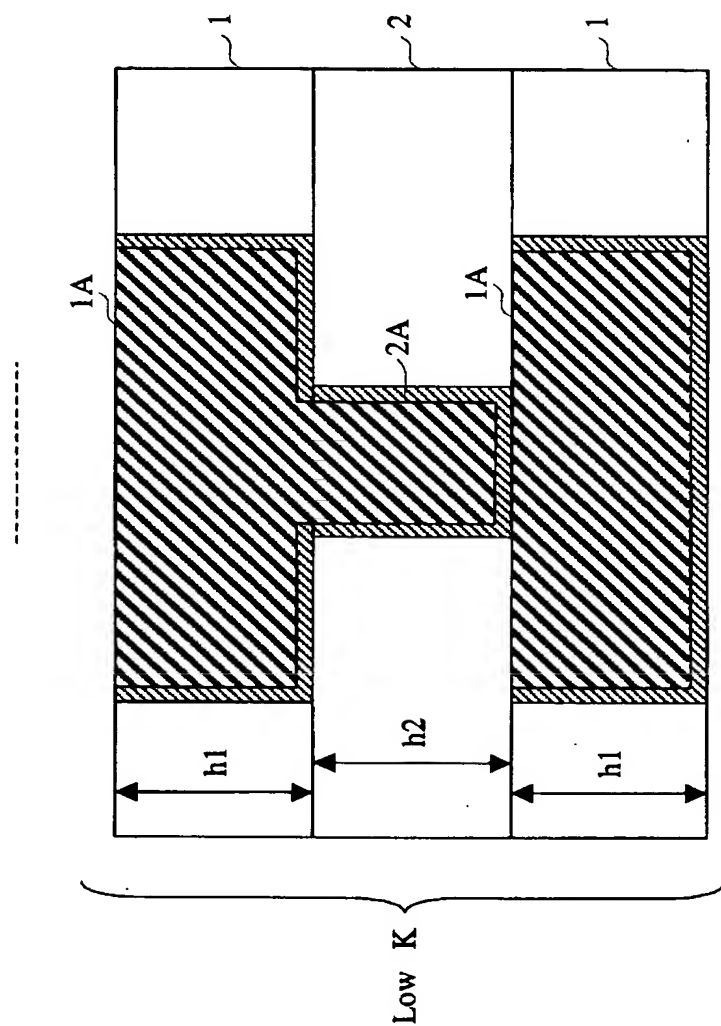
【図 16】

本発明第5実施例による半導体ウェハの一部を示す平面図



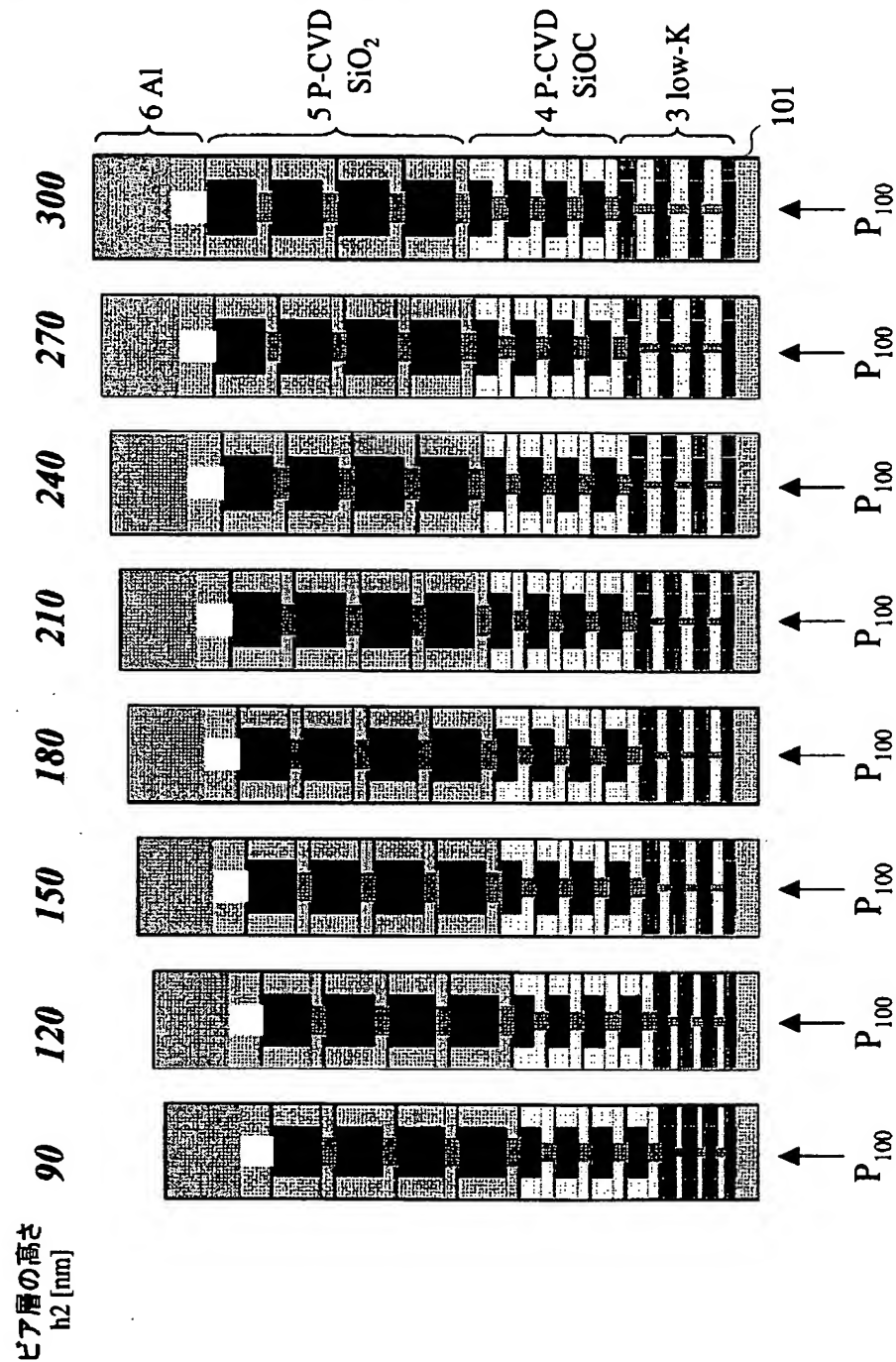
【図 17】

本発明第6実施例による多層配線構造の構成の一部を示す図



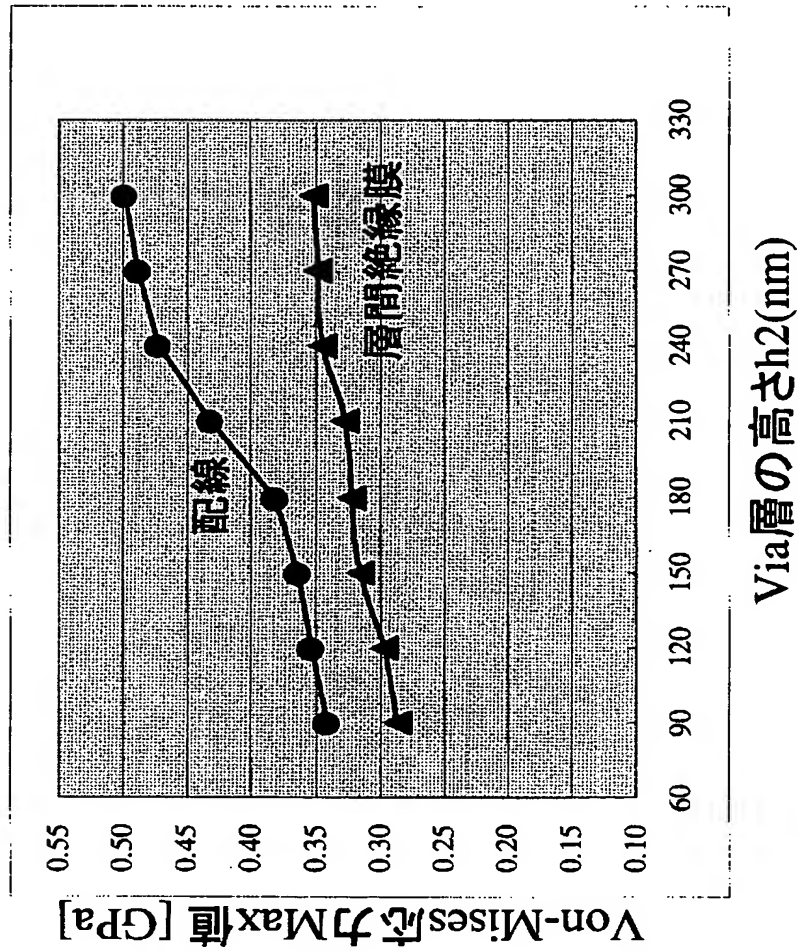
【図 18】

図17の構成を有する多層配線構造の全体を、比較例と共に示す図



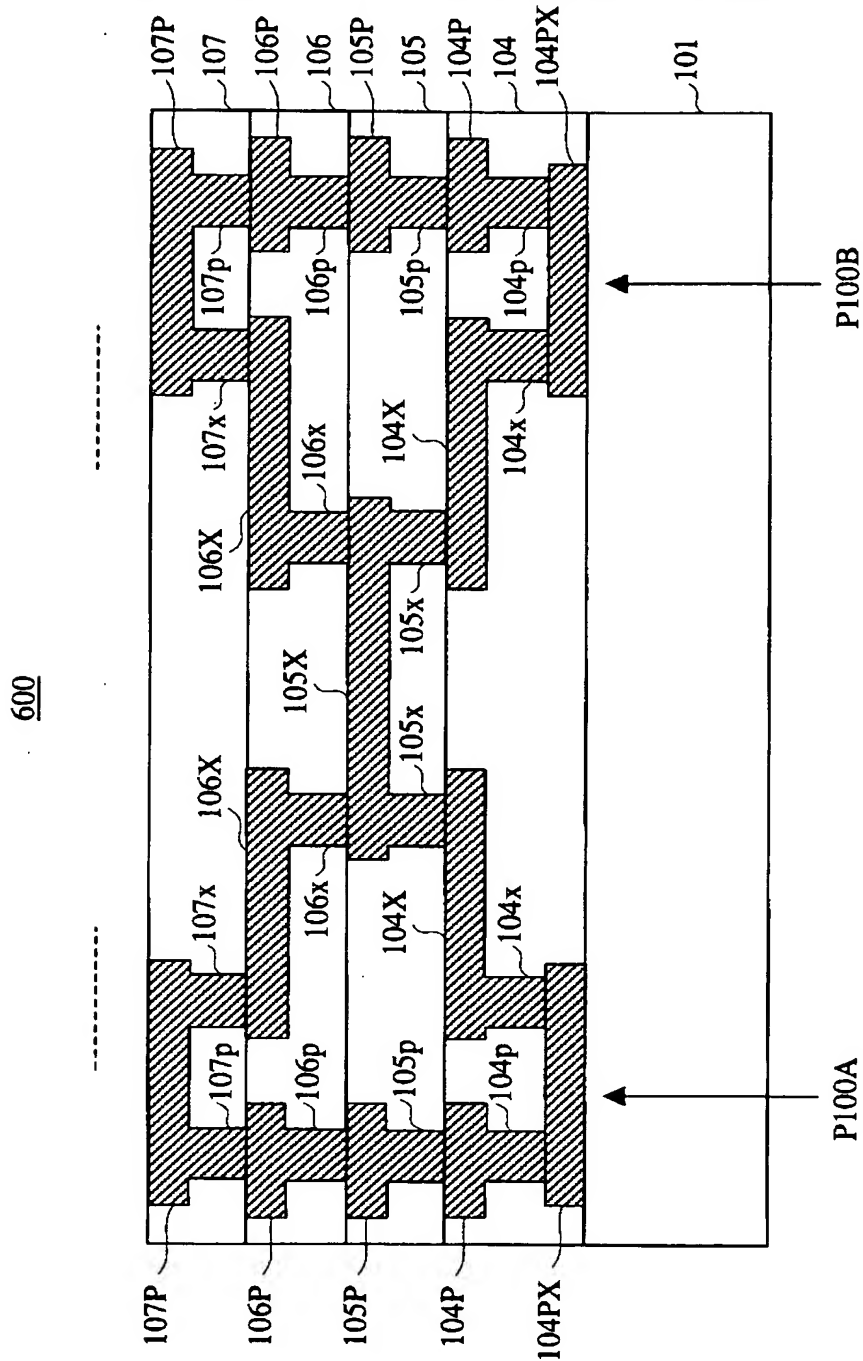
【図 19】

図17の多層配線構造中における応力分布を示す図



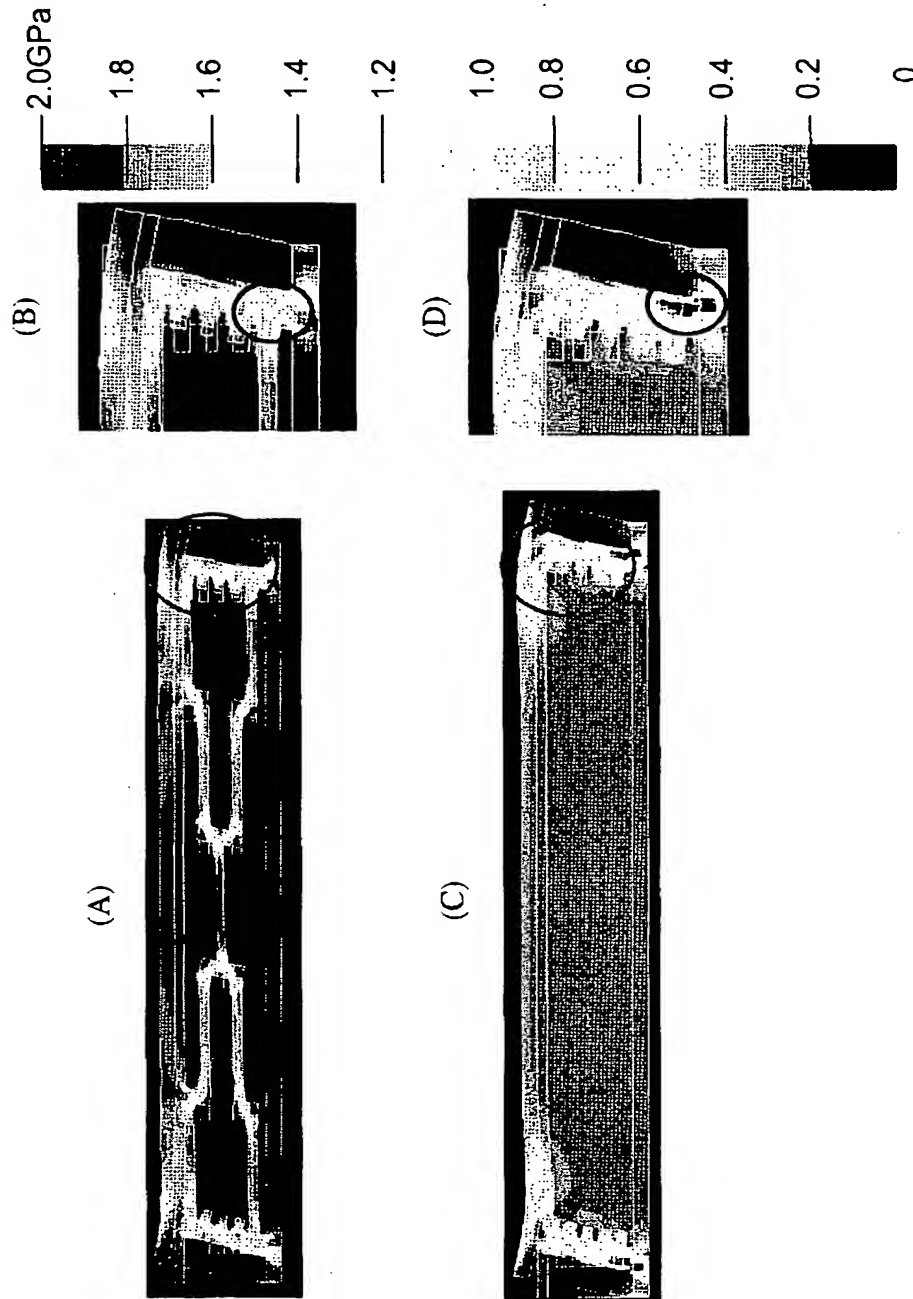
【図 20】

本発明第7実施例による多層配線構造の構成を示す図



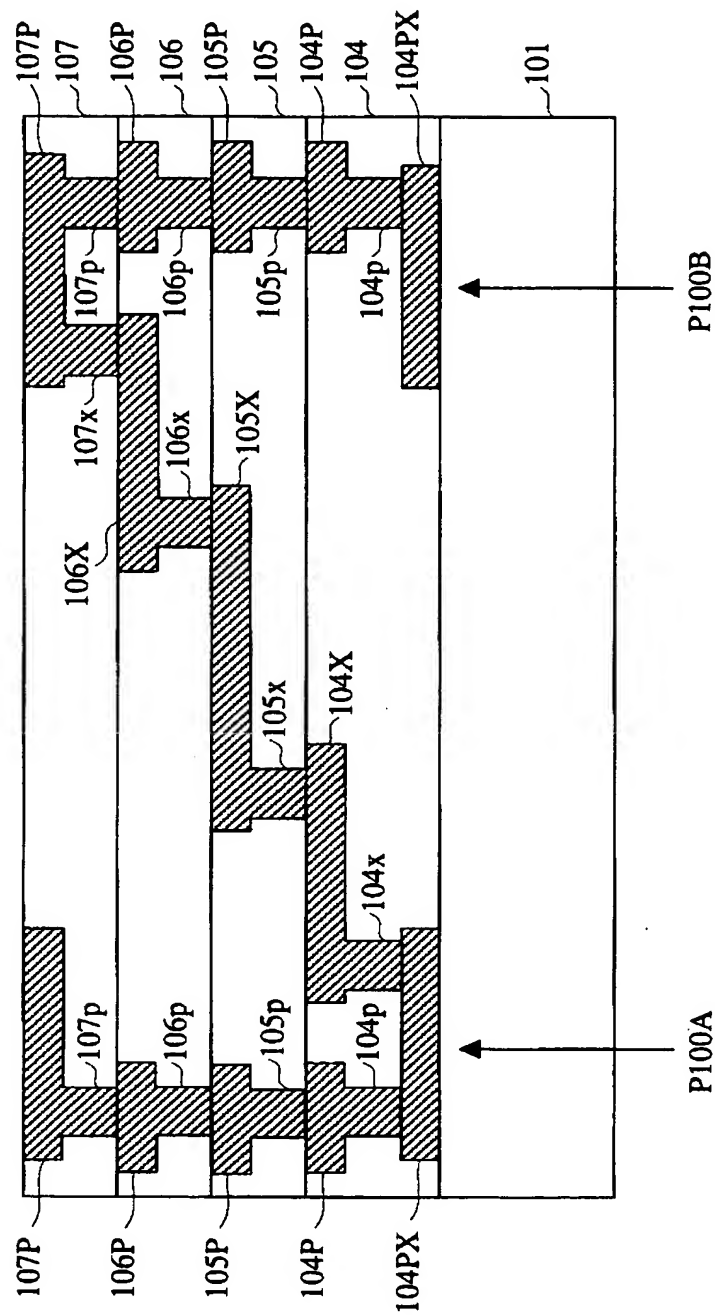
【図 21】

(A)～(D)は、図20の多層配線構造中における応力分布を、
比較例の場合と共に示す図



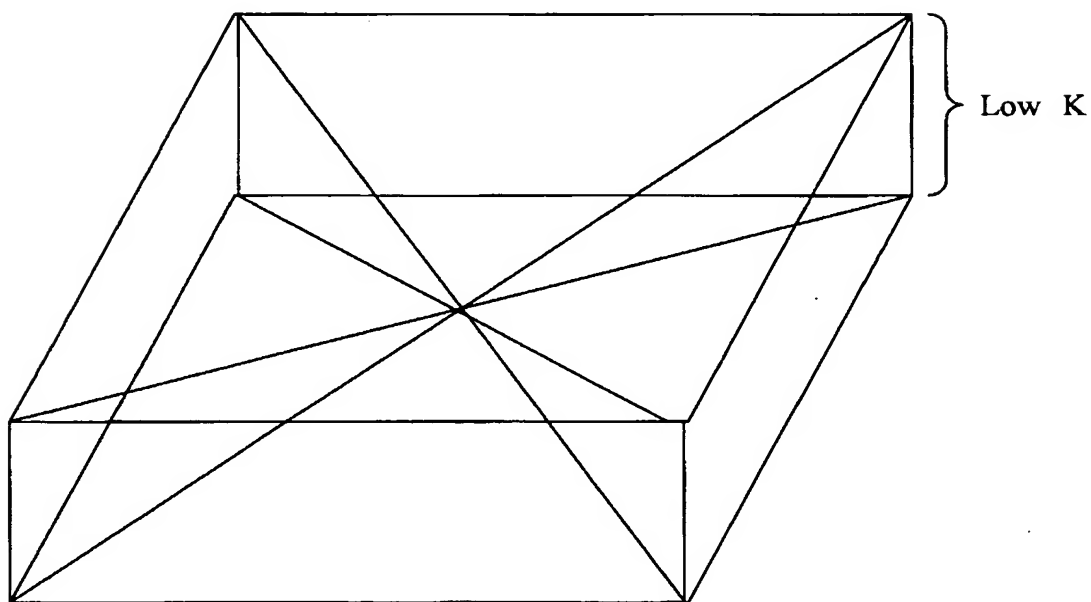
【図 22】

図20の多層配線構造の一変形例を示す図



【図 23】

図20の多層配線構造の別の変形例を示す図



【書類名】 要約書

【要約】

【課題】 低誘電率層間絶縁膜を使った第 1 の多層配線構造とその上に形成されたより誘電率の大きい層間絶縁膜を使った第 2 の多層配線構造とを有する半導体集積回路装置において、ワイヤボンディングなどの際の応力が第 1 の多層配線構造中の微細な配線パターンに印加されるのを抑制する。

【解決手段】 少なくとも第 1 の多層配線構造中に、前記多層配線構造中を貫通して延在するように支柱を形成する。

【選択図】 図 5

特願 2003-280004

出 願 人 履 歴 情 報

識別番号

[000005223]

1. 変更年月日

1996年 3月26日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中4丁目1番1号

氏 名

富士通株式会社